

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-237458
(P2001-237458A)

(43) 公開日 平成13年8月31日 (2001.8.31)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 33/00		H 0 1 L 33/00	C E N

審査請求 未請求 請求項の数13 O L 外国語出願 (全 63 頁)

(21) 出願番号 特願2000-404538 (P2000-404538)

(22) 出願日 平成12年12月22日 (2000. 12. 22)

(31) 優先権主張番号 0 9 / 4 7 0 4 5 0

(32) 優先日 平成11年12月22日 (1999. 12. 22)

(33) 優先権主張国 米国 (U S)

(71) 出願人 500507009

ルミレッズ ライティング ユーエス リ
ミテッドライアビリティ カンパニー
アメリカ合衆国 カリフォルニア州
95131 サン ホセ ウェスト トリンプ
ル ロード 370

(74) 代理人 100059959

弁理士 中村 裕 (外9名)

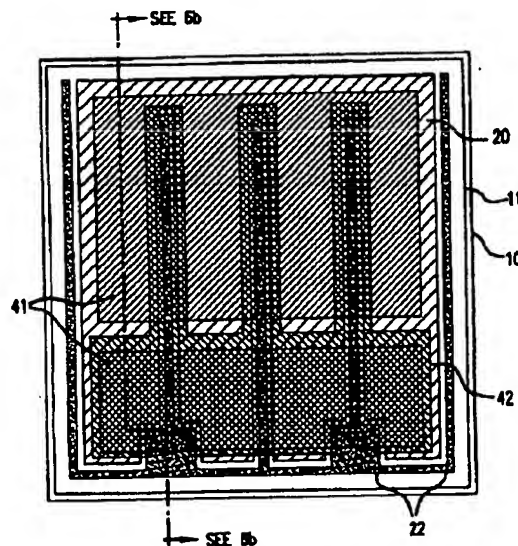
最終頁に続く

(54) 【発明の名称】 増加発光能力を持つ I I I 族窒化物 L E D の製造方法

(57) 【要約】 (修正有)

【課題】 改良された発光能力を持つ I I I 族窒化物に
基づく発光装置を提供する。

【解決手段】 大面積装置は、低い直列抵抗を準備する
ために p 電極金属被覆 20 の間に挿入される n 電極 22
を持つ。該 p 電極金属被覆は、不透明かつ高反射率であ
り、優れた電流拡散をもたらす。LED 活性領域のピー
ク放出波長での p 電極は、バス毎に入射光の 25% 未満
を吸収する。サブマウントは、LED ダイとパッケージ
との間の電氣的及び熱的接続を準備するために使用され
てもよい。該サブマウント材料は、電圧追従制限作動な
どの電子機能を備えるために S i であってもよい。L E
D サブマウント・インタフェースを含む装置全体は、高
い電流密度作動を可能にするために低い熱抵抗に対して
設計されている。該装置は、高屈折率 ($n > 1.8$) の
上層基板を含むことができる。



【特許請求の範囲】

【請求項1】 成長構造上にIII族窒化物ヘテロ構造を堆積する段階と、
各々の接触層と電気的に接続されたp及びn電極を形成する段階と、

障壁層を加える段階と、

III族窒化物ヘテロ構造を調合する段階と、
サブマウントを装置に取り付ける段階と、を含むことを特徴とする、逆転発光装置を製造する方法。

【請求項2】 前記サブマウントを取り付ける段階は、サブマウントウェーハにはんだを施す段階と、
前記III族窒化物ヘテロ構造と前記サブマウントウェーハとの間に接合部を形成する段階と、

前記サブマウントウェーハをダイシングする段階と、
前記サブマウントをパッケージに取り付ける段階と、を含むことを特徴とする請求項1に記載の方法。

【請求項3】 前記サブマウントを取り付ける段階は、前記サブマウントウェーハをダイシングする段階の前に、前記III族窒化物ヘテロ構造と前記サブマウントウェーハとの間にアンダフィルを施す段階を更に含むことを特徴とする請求項2に記載の方法。

【請求項4】 前記接合部を形成する段階は、前記III族窒化物ヘテロ構造と前記サブマウントとの間に共融接合を形成する段階を含むことを特徴とする請求項2に記載の方法。

【請求項5】 前記接合部を形成する段階は、前記III族窒化物ヘテロ構造と前記サブマウントとの間にはんだ接合部を形成する段階を含むことを特徴とする請求項2に記載の方法。

【請求項6】 前記取り付ける段階は、
前記III族窒化物ヘテロ構造にはんだを施す段階と、
前記サブマウントウェーハをダイシングする段階と、
前記サブマウントを前記パッケージに取り付ける段階と、
前記III族窒化物ヘテロ構造と前記サブマウントとの間に接合部を形成する段階と、を含むことを特徴とする請求項1に記載の逆転発光装置を製造する方法。

【請求項7】 前記III族窒化物ヘテロ構造とサブマウントとの間にアンダフィルを施す段階を更に含むことを特徴とする請求項6に記載の方法。

【請求項8】 前記接合部を形成する段階は、前記III族窒化物ヘテロ構造と前記サブマウントとの間に共融接合を形成する段階を含むことを特徴とする請求項6に記載の方法。

【請求項9】 前記接合部を形成する段階は、前記III族窒化物ヘテロ構造と前記サブマウントとの間にはんだ接合を形成する段階を含むことを特徴とする請求項6に記載の方法。

【請求項10】 前記p及びn電極を電気的に分離するために金属間誘電体を堆積する段階と、

シート反射器を加える段階と、を更に含み、

前記金属間誘電体を堆積する段階、及び、前記シート反射器を加える段階は、前記障壁層を加える段階に先行する、ことを特徴とする請求項1に記載の方法。

【請求項11】 前記III族窒化物ヘテロ構造を調合する段階は、

前記III族窒化物ヘテロ構造にはんだ可能金属を加える段階と、

前記はんだ可能金属をパターン化する段階と、を含むことを特徴とする請求項1に記載の方法。

【請求項12】 誘電体を加える段階と、

前記誘電体をパターン化する段階と、を更に含むことを特徴とする請求項11に記載の方法。

【請求項13】 前記III族窒化物ヘテロ構造を調合する段階は、

前記III族窒化物ヘテロ構造にはんだ可能金属を加える段階と、

誘電体を加える段階と、

前記誘電体をパターン化する段階と、を含むことを特徴とする請求項1に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体発光装置に関し、更に詳細には、改良された発光能力を持つIII族窒化物に基づく発光装置に関する。

【0002】

【従来の技術】「III族窒化物」材料システムは、グループIII及びグループV元素の任意の組合せであり、窒素が主なグループVの元素であって、電子又は光電子装置組立に使用される半導体を形成する。本材料システムは、非限定的に、Ga₂N、AlGa₂N、AlN、GaInN、AlGaInN、InN、GaInAsN、及び、GaInPNを含む。III族窒化物材料システムは、紫外線から赤色スペクトル波長の範囲の光子エネルギーを持つ光を発生する発光装置(LED)の組立に適する。これらのLEDは、発光ダイオードとレーザダイオードとを含む。

【0003】III族窒化物LEDは、一般に、例えば有機金属気相成長などの成長技術を通し、p-n接合を形成する適切な成長基板上に堆積するエピタキシャル層を含む。III族窒化物半導体装置の製造には、ある独特の困難がある。III族窒化物基板は、市販されていないので、エピタキシャル成長は、例えばサファイア又はSiCなどの非格子適合基板上に発生せざるを得ない。従来のIII族窒化物LEDダイのエピタキシャル上向き配向は、光が上面から、すなわち、p型III族窒化物層を通して光が抽出される必要がある。しかし、Ga₂Nなどのp型III族窒化物層の高抵抗率は、十分な電流拡散をもたらすために、金属被覆がp型材料面上に堆積することを必要とする。こうした金属は光を吸収する

ので、極薄p電極金属被覆(例えばNi/Au)が一般に光が上面を通して逃げるように使用される。しかし、これらの薄い半透明層でさえ、かなりの量の光を吸収する。Auの通常の厚さ100オングストローム(Å)を仮定し、Niを無視すると(透明NiO_xを形成するために酸化され得る)、本半透明p電極に吸収される光の量は、 $\lambda=500$ ナノメートル(nm)で、パス毎に約25%である。高電流密度において、金属被覆厚みは、活性領域内への一様な電流注入を維持するため、また、ほとんどの光がワイヤボンディングパッド近傍で発生することを防ぐために増加する必要がある。金属厚を増加すると、光吸収が増大し、装置の抽出効果が減少する。明らかに、本トレードオフは、高電流密度(>40アンペア/平方センチメートル(A/cm²))、これは、約0.35×0.35平方ミリメートル(mm²)の接合領域内への約50ミリアンペア(mA)に相当する)で作動するIII族窒化物LED設計においては避けるべきである。

【0004】図1を参照すると、ナカムらは、米国特許第5,563,422号で、サファイア基板を利用した通常の従来技術III族窒化物LEDを開示した。ドーパ未処理及びドーパ処理されたIII族窒化物層は、活性領域を取囲む。基板が電氣的に絶縁であるため、p及びn領域両方への接触がLEDの同じ側(上部)で起こる場所において、非平面的装置形状が必要である。また、2つのワイヤボンディングパッドが、装置上部に必要である。n側ワイヤボンディングパッドはまた、III族窒化物エピ層への電気接続を準備するオーミック電極である。p型III族窒化物層の高い抵抗率は、電氣的にp型III族窒化物層に接続されている薄い半透明(部分的に吸収する)NiAuオーミック電極により、電流拡散がもたらされることを必要とする。光抽出効率、このオーミック電極と各ボンダパッドとにより覆われている表面積により制限される。オーミックとボンダパッド金属層とに関連する光学損失は、サファイア基板(nが約1.8)上のIII族窒化物材料(nが約2.4)の光誘導特性により強調される。

【0005】

【発明が解決しようとする課題】イノウエらは、欧州特許第0 921 577 A1で、光がサファイア成長基板などの基板を通して主に上方に逃げるようなエピタキシ側下向き又は逆転構造を持つ従来技術III族窒化物LEDを開示した。該装置設計は、活性接合面積を維持し、可能な最小ダイ・サイズを準備する。p電極は、可視光線に対してかなりの吸収を示すNi及びAuからできている。本装置は、高反射p電極金属被覆を欠いているので、光抽出効率の点で制限され、従来の(エピタキシ側上方)装置に比べて重要な改善を提供しない。また、装置が小型で(<400×400平方ミクロン(μm²))パッケージへのはんだ接続面積が小さいため、

それらの発光能力に限界がある。最後に、本装置は、低屈折率サファイア上層基板のために誘導光がIII族窒化物エピ層内で閉じこめられ、効率の点で欠点となっている。

【0006】コンドーらは、欧州特許第0 926 744 A2で、サファイア上層基板を使用する従来技術の逆転III族窒化物LEDを開示した。p型電極は銀で、可視光線に非常に反射的であり、イノウエらにより開示された装置と比較して、高い光抽出効率を持つ装置をもたらす。しかし、III族窒化物材料へのAg接着は弱い。焼きなましの際、Agは固まり、シートのオーミック接触性と反射率との完全性を破壊する。装置が比較的小型で(<400×400μm²)、パッケージへのはんだ接続面積が小さいため、その発光能力には限界がある。最後に、本装置は、低屈折率サファイア上層基板のために誘導光がIII族窒化物エピ層内で閉じこめられ、効率の点で欠点となっている。

【0007】メンツらは、「電子工学レター33(24)」のページ2066から2088において、サファイア上層基板を使用する従来技術の逆転III族窒化物LEDを開示した。本装置は、2層金属p電極、Ni/Al及びNi/Ag、を利用し、Ni/Auと比較すると改善された反射率をもたらす。しかし、本装置は、350×350μm²の装置において20mAで4.9から5.1ボルト(V)の高い順電圧を示した。これは、良好なオーミック電極を持つ装置の3倍以上高い約100Ωの直列抵抗を生じる。高い直列抵抗は、非常に電力変換効率を制限する。これらの装置が小型で(<400×400μm²)低い熱抵抗を備えていないので、それらの発光能力には限界がある。最後に、本装置は、低屈折率サファイア上層基板のために誘導光がIII族窒化物エピ層内で閉じこめられ、効率の点で欠点となっている。

【0008】エドモンドらは、世界知的所有権機構第WO96/09653号において、図2に示す伝導SiC基板の垂直注入III族窒化物LEDを開示した。III族窒化物層からSiC基板へのオーミック伝導に伝導バッファ層が必要である。伝導バッファ層に必要な成長条件は、その後の層に利用可能な成長条件を制限し、それでIII族窒化物活性領域層の質を制限する。また、伝導バッファ層は、光学損失機構をもたらす可能性があるため、光抽出効率を制限する。更に、SiC基板は、低い直列抵抗に対して高い電気伝導度(p<0.2オームセンチメートル(Ω・cm))をもたらすために、ドーパ処理される必要がある。SiC基板ドーパントから生じる光学吸収は、該装置の光抽出効率を制限する。これらの条件は、直列抵抗と光抽出効率との間のトレードオフを生じ、図2におけるLEDの電氣的から光学的への電力変換効率を制限する働きをする。

【0009】

【課題を解決するための手段】本発明は、増強された全体的発光能力を持つ逆転ⅢⅢ族窒化物発光装置(LED)である。大面積($>400 \times 400 \mu\text{m}^2$)装置は、低い直列抵抗をもたらすためにp電極金属被覆の間に挿入される少なくとも1つのn電極を持つ。該p電極金属被覆は、不透明、高反射率、オーミック($10^{-2} \Omega \text{cm}^2$ 未満の固有接触抵抗)であり、優れた電流拡散をもたらす。LED活性領域のピーク放出波長でのp電極の光吸収は、パス毎に25%未満である。中間材料又はサブマウントは、LEDダイとパッケージとの間の電気的及び熱的接続を準備するために使用してもよい。該サブマウント材料は、電圧追従制限作動、静電気放電(SED)からの保護、直列連系LEDアレー、及び、フィードバック制御光出力などの電子機能を備えるためにSiであってもよい。LEDサブマウント・インタフェースを含む装置全体は、高い電流密度作動を可能にするために低い熱抵抗に対して設計されている。最後に、該装置は、光抽出効率の更なる改善が得られる高屈折率($n > 1.8$)上層基板を含むことができる。

【0010】

【発明の実施の形態】LED作動の1つの基本的制限条件は、最大接合温度である。最大接合温度 T_{jmax} は、破損又は破損がLEDのある部分又はその外被で起こるp-n接合領域の温度である。被包性エポキシやレンズのガラス転移温度が近づくと、この破損がよく起こり、透明性が損なわれ、最終的にこれらの材料の溶解が起こる。こうした限界が確立されると、周囲温度から T_{jmax} への温度上昇 ΔT_j は、次式で表される(電力変換効率 $< 100\%$ と仮定するが、今日のⅢⅢ族窒化物装置に対しては当てはまる)。

【0011】

【数1】

$$\Delta T_j = T_{jmax} - T_0 = I_{max} V_f \Theta_{j-a}$$

(1)

【0012】ここで、 T_0 は周辺温度、 I_{max} は最大作動電流、 V_f は、その電流での順電圧、及び、 Θ_{j-a} はp-n接合部から周辺への熱抵抗である。 V_f に簡素化した表現を代入し、書き換えをすると次式を得る。

【0013】

【数2】

$$I_{max} = \Delta T_j / [\Theta_{j-a} (V_0 + I_{max} R_s)]$$

(2)

【0014】ここで、 V_0 は入電源電圧(およそⅢⅢ族窒化物半導体禁止帯幅電圧)で、 R_s は、装置の直列電気抵抗である。 I_{max} について解くと次式を得る。

【0015】

【数3】

$$I_{max} = [\Delta T_j / (R_s \Theta_{j-a}) + (1/2 V_0 / R_s)]^{1/2} - 1/2 V_0 / R_s$$

(3)

【0016】式3は、 $V_0 = 2.5 \text{ V}$ (波長入が約50

0 nmのエネルギー禁止帯幅に相当する)と、 R_s と Θ_{j-a} との変動値に対して $T_{jmax} = 130^\circ\text{C}$ の場合について図3にプロットされている。これらのパラメータの数値範囲は、約1 mm²のダイ寸法と、熱除去のためにうまく設計されているシステムとに一致する。 R_s と Θ_{j-a} 間の重要性順位は、図3のグラフのどの部分がその適用例を支配するかにより判断される。しかし、図3のほとんどの場合、熱抵抗の約5°C/Wットの減少は、直列抵抗における約0.5Ωの降下よりも、より効率的に I_{max} (すなわち光出力)を増加する。直列抵抗は、有限接触抵抗と実用ドーピングレベルから派生するので、任意の低レベルまで減らすことは困難である。すなわち、熱抵抗は、 I_{max} を増加する重要なこの腕であり、発光能力を最大にするために最小にする必要があることは明らかである。

【0017】接合温度の限界により一定の I_{max} を用いて、最大発光能力は、式4で表される。

【0018】

【数4】

$$L_{max} = \eta I_{max}$$

(4)

【0019】ここで、 L_{max} は、ワットで表された最大光出力、 η は W/A で表されたLEDの傾斜効率である。該傾斜効率は、次式によって外部量子効率に比例する。

【0020】

【数5】

$$\eta - \eta_{ext} = \eta_{int} C_{ext}$$

(5)

【0021】ここで、 η_{int} は内部量子効率、 C_{ext} は、LEDの光抽出効率である。このように、最大発光能力は、一定の活性領域効率(η_{int})を用いて光抽出効率を最大化することにより得られる。

【0022】LEDダイの直列抵抗と熱抵抗との両方が接合面積に逆比例するので、 I_{max} を増加するためにダイサイズを増加することが好ましい。任意にダイ形状を増大すると、1次及び2次の光学機器サイズと、発光システム内のLEDパッケージの電力消散能力との実質的な限界に付き当たる。代わりに、ダイサイズは、LEDパッケージによりもたらされる許容電力消散の有効使用をするように選択されるべきである。通常システムにおいて、接合部から周辺への熱抵抗は、ホフラーが「電子工学レター34、1」(1998年)に記載しているように、約60°C/Wである。LEDパッケージの電力消散の上限はすぐに計算される。40°Cの周辺温度及び130°Cの T_{jmax} を仮定すると、最大入力電力は、 $(130-40)/60 = 1.5 \text{ W}$ である。最大入力電力は、次式のように書くことができる。

【0023】

【数6】

$$P_{\text{max}} = I_{\text{max}} V_f = I_f (V_0 + I_{\text{max}} R_s) = J_{\text{max}} (V_0 + J_{\text{max}} \rho_s) A_{\text{dic}}$$

(6)

【0024】ここで、 J_{max} は A/cm^2 で表された最大順電流密度、 ρ_s は、 $\Omega \cdot \text{cm}^2$ で表されたダイ直列抵抗、及び、 A_{dic} は、ダイ面積(cm^2 で表された)である。効率的で費用効果的作動のために、合理的な高い順電流密度が必要とされる。適切な順電流密度は、 $50 A/\text{cm}^2$ である。 $350 \times 350 \mu\text{m}^2$ の装置において、通常の直列抵抗は約 300Ω であり、 ρ_s が約 $4 \times 10^{-20} \text{cm}^2$ 程度の装置抵抗に相当する。式6に対してこれと同じ抵抗性を仮定し、 $J_{\text{max}} = 50 A/\text{cm}^2$ 及び $V_0 = 2.5 V$ (波長が約 500nm のエネルギー禁止帯幅に相当)を用いると、パッケージにより許容される最大入力電力を達成するのに必要なダイ面積は、 $6.7 \times 10^{-3} \text{cm}^2$ 、又は、約 $800 \times 800 \mu\text{m}^2$ である。これと同じ電力レベルでのより小さい装置は、順電圧を増加させ、それ故、同電流に対して低効率をもたらすであろう。同様に、より小型の装置は、増加するダイ熱抵抗のためにより高温で作動するであろう。

【0025】p型III族窒化物層の高抵抗性のため、LED設計は、p側電流拡散をもたらすためにp型層に沿って金属被覆を利用する。従って、絶縁基板のために、n側電流拡散がn型III族窒化物層を通して起こる必要がある。これらの層は、一般に約 $2 \mu\text{m}$ 厚であり、約 $10^{-3} \Omega \cdot \text{cm}$ の抵抗を持つ。通常の装置抵抗の無視できる部分を説明するためには、n型層による電流拡散に必要な距離は、約 $200 \mu\text{m}$ 未満に維持されるべきである。従って、 $400 \times 400 \mu\text{m}^2$ より大きな装置は、装置の直列抵抗を低く維持するために、p電極の間に挟まれる多重n電極フィンが必要である。上記に示す通り、高い発光能力用の装置は、例えば、 $>400 \times 400 \mu\text{m}^2$ のように大きくなければならない。そのため、これらの装置は、挿入n電極設計を利用すべきである。この設計は、サブマウントとの接続においてn及びp電極の電気的分離を保つ必要があるため、逆転構造に関して重大な意味を持つ。

【0026】逆転設計のために高度に反射的な電極金属被覆を使用することは、抽出効率を改善するために決定的である。図4は、LED抽出効率に対する逆転ダイ設計用のp電極吸収を従来(エピタキシャル側上方)装置と比較して示す。図4にプロットされた抽出効率は、LEDダイ構造($1 \times 1 \text{mm}^2$)の光学光線追跡モデル化により測定され、全てのLED材料の測定光学特性を含む。モデル化された逆転装置の全ては、サファイア上層基板を利用し、一方、従来装置(逆転なし)は、サファイア基板を使用する。p電極吸収(x軸)は、関心のある波長でのp電極近傍のIII族窒化物エピ層内の等方性点光源からの照明を仮定して、バス毎に吸収される光の百分率比として定められる。p電極は、p-n接合内へ一様電流の注入を準備するためにほぼ完全に活性領域に亘

って延びるので、光抽出には支配的な要因である。更に、サファイア(n が約1.8)とIII族窒化物エピタキシャル層(n が約2.4)との間の屈折率の差は、活性領域から発生する光の多くの部分がサファイア/III族窒化物インターフェースで完全に内部反射される結果となる。この導波管で捕らえられた光量は、活性領域からの等方性放出について、全発生光の約 $\cos((1.8/2.4) - 1) = 66\%$ である。この光は、図5に示すように、捕らえられ、装置に沿ってダイの側面に向かって横方向へ誘導される。図5は、従来(エピタキシャル側上方)構造を示すが、導波効果は、ダイがエピタキシャル側上方であるか、逆転されているかにかかわらず存在する。しかし、p電極による吸収のために、導波光のほとんどが措置が出る前に失われる。このため、抽出効率は、図4にプロットされたデータで示す通り、p電極吸収に非常に敏感である。これは、逃げる前のp電極でのバス数が非常に大きいため、例えば $>400 \times 400 \mu\text{m}^2$ などの大面積ダイの場合、特に重要である。n電極もまた光学損失機構であるが、覆う装置面積が狭いの

であり重要ではない。

【0027】図4に示す光線追跡モデル結果は、Ni、及び/又は、Au電極を持つ逆転ダイ設計は、38から47%($\lambda = 505 \text{nm}$)の抽出効率をもたらすことを示す。半透明Ni/Au電極を持つ従来のエピタキシャル側上方の装置は、43%の抽出効率を持つ。従って、逆転装置内のNi、及び/又は、Auのp電極は、従来設計と比較して、非常に改善された抽出効率は提供しない。しかし、Agのp電極に対し、逆転ダイは、従来装置に比べて抽出効率において約1.7倍の利得を示す。図4に明らかに示す通り、従来技術の装置を超える増加した光抽出を準備するためには、逆転装置内のp電極吸収は、35%未満にすべきである。好ましくは、p電極吸収は25%未満である。図4は、 505nm の場合でプロットされているが、p電極吸収に対する抽出効率の傾向は、波長にかかわらず正しい。反射率が第1の考慮する点ではあるが、また接触抵抗もそうであることを指摘することも忘れてはならない。p電極の接触抵抗が悪いと過度に高い直列抵抗を持つ装置を生じ、そのため、式3で説明されるように、発光能力が減少する。 $350 \times 350 \mu\text{m}^2$ 装置に対して、通常の直列抵抗は約 30Ω であり、 $4 \times 10^{-2} \Omega \text{cm}^2$ 程度の装置抵抗に相当する。p接触抵抗は、直列抵抗への影響を最小にするために、これよりかなり少なくなければならない。本発明において、p固有接触抵抗は、 $10^{-2} \Omega \text{cm}^2$ 未満であることが好ましい。

【0028】製造可能工程での低光学吸収と低接触抵抗との結合をIII族窒化物装置で達成するのは困難である。例えば、Agは、良好なp型オーミック接触を作り、非常に反射的であるが、III族窒化物層への接着

は弱く、湿った環境でのエレクトロマイグレーションの影響を受け易く、致命的な装置破損を招く可能性があるという欠点がある。Alは、適度に反射的だが、p型III族窒化物材料へのオーミック接触が良くなく、一方、他の基本的金属は、わりと吸収的である(可視光波長範囲において、バス毎に>25%の吸収)。可能な解決法は、電流拡散層として働く厚い反射層と共に、極薄の半透明オーミック接触を含む多層接触を使用することである。光学障壁層が、オーミック層と反射層との間に含まれる。p型多層接触の1つの例は、Au/NiO_x/Alである。この金属被覆構成の通常の厚みは、30/100/1500Åである。同様に、適切なn型Ga_{0.5}N多層接触は、30/1500Åの通常の厚みを持つTi/Alである。

【0029】p電極反射率は、抽出効率の支配的要因なので、製造可能性の設計段階で妥協すべきではない。逆転III族窒化物LEDのウェーハ上試験が、不透明シート金属被覆により困難になるであろうが、こうした試験方法が、p電極の反射特性を低下させることを要求してはならない。例えば、ウェーハ上試験の間、光が上方へ逃げるができるようにp電極に挿入される開口部や半透明領域は、効率的にp電極反射率を減少して、完成した装置の効率を低下するように働くのみである。p電極反射率を妥協しない他の方法を使うべきである。本発明は、光抽出を増加する一方で、p-n接合から、ランプパッケージへの熱抵抗を減少することにより、最大発光能力を持つ、例えば>400×400μm²などの大面積及び高電力のLEDを提供する。これを達成するため、本発明は、低抵抗、不透明、及び、高反射率のp電極を利用する逆転構造を使用する。第1実施形態は、図6a及び図bに示されている。

【0030】図6bに示す断面図を参照すると、該装置は、III族窒化物エピタキシャルヘテロ構造n型及びドープ未処理層11とp型層12とを含み、各々が活性領域13に接触している。III族窒化物層11は、随意的に透明上層基板10へ取付けられる。上層基板10は、III族窒化物層堆積のための成長基板になることができる。図6aに示すLEDダイの底部平面図を参照すると、装置の大面積(>400×400μm²)は、装置全体に一樣に電流が拡散するために、p電極金属被覆20の間に挟まれるn電極22の「フィンガ」を要求する。こうした電極配置は、低直列抵抗(低伝導性III族窒化物層に打ち勝つため)をもたらす大面積装置において要求され、すなわち、式3に示すような高い最大駆動電流を準備する。このように、間に挿入されたn電極配置は、全体発光能力を最大にする大面積装置に必要である。該装置は、光が側壁のほか透明上層基板10を通して取り出され得るように逆転され、高反射率及び厚いp電極金属被覆20を使用することにより、良好な抽出効率をもたらす。p電極の反射率は、上記の通り、L

ED放出波長でのp電極の吸収がバス毎に25%未満になるように決まっている。電極金属被覆は、相互接続60を介してサブマウント基板50上でサブマウント電極52に接続する。該相互接続は、作動中にLEDからの熱除去用の熱経路を準備する一方で、LEDとサブマウントとの間を電気接続する。図示されている実施形態は、はんだ付けを適用しているが、相互接続は、基本的金属、金属合金、半導体金属合金、はんだ、熱的及び電氣的伝導ペーストや化合物(例えば、エボキシ)、LEDダイ及びサブマウント間の異なる金属の共融接合(例えば、Pd-In-Pd)、Auスタッドバンパ、又は、はんだバンパから作られてもよい。

【0031】相互接続は、伝導インタフェース41及び54を介してLEDとサブマウントとに取り付けられる。はんだが相互接続として使用される場合、伝導インタフェースは可溶性金属である。適用工程は、最初に相互接続の厚みと面積とを決める。1つの利用できる技術は、ペーストがサブマウントウェーハ又はLED上の区域を選択するために塗布されるスクリーン印刷処理である。他の技術は、電気めっき、リフトオフ、及び、リフローを含む。相互接続としてはんだを使用する実施形態において、最終的な相互接続厚さ及び面積は、LEDダイ上の可溶性金属41及びサブマウント上の可溶性金属54のほか、はんだ容積により決められる。LED上のはんだ可能区域は、可溶性金属のパターン化を通して、又は、LEDダイ上に設けられるパターン化された誘電不活性化層42のバイアを通して形成される。該誘電不活性化層42は、p及びn電極間で電氣的分離層として働き、はんだ層41がp及びn電極の両方に亘って延びるので必要となる。サブマウント上のはんだ可能区域は、はんだ可能金属54をパターン化することにより同様に形成される。代わりの実施形態において、金属被覆54の可溶性区域は、パターン化された誘電体層により形成され得る。はんだ可能金属層55の第2のセットは、パッケージへの取付けのためにサブマウントの裏に堆積してもよい。随意的に、適切なはんだをサブマウントの裏に直接堆積することもできる。LEDとサブマウントとの間のいかなるアンダフィル金属の熱伝導率も例えば<2.0W/mKなどと非常に小さいので、接合部からパッケージへの熱抵抗は、ダイ・サブマウントはんだ接合とサブマウント材料及び形状とにより主に支配される。p電極金属被覆での熱発生と1次元流れとを仮定し、薄層とサブマウント・パッケージはんだ接合との熱抵抗を無視すると、接合部からパッケージへの熱抵抗は、次式で表すことができる。

【0032】

【数7】

$$\Theta_{hp} = (t/p_s + t_m/p_m) / A_s$$

(誘電体無視) (7)

【0033】ここで、 t_s 及び t_{ss} は厚み、 ρ_s 及び ρ_{ss} は、各々はんだとサブマウントとの熱伝導率、及び、 A_s は、はんだの全断面面積である。式6に示すように、はんだ面積 A_s は熱抵抗を制御する。従って、はんだでLEDダイの全表面を覆うことが必要である。しかし、電気的分離がLEDのp及びn電極領域の間で必要なため、これは不可能である。また、n及びpはんだ可能金属の間のこの隙間幅は、ダイをサブマウントに取付ける時の許容値である必要がある。それでも尚、図6aの実施形態は、約85%はんだ被覆範囲(p電極面積20に對するはんだ可能金属面積41の比として定められる)をもたらす。

【0034】図6aから図bに示すものに対する代わりの実施形態は、p電極20の一部分を含んでn電極22の下方部分に延びるシート反射器を含む。金属間誘電体は、n電極及びシート反射器のこれらの領域の間に形成される。該金属間誘電体は、これらの領域において、n及びp電極間の電気的分離を準備する。n電極の他の部分は、誘電体によって覆われず、サブマウントへの電気接触が可能である。この実施形態は、図6aから図6bに示す実施形態と比較して、この光を上方へ反射することにより、LED金属被覆の隙間を通して下方へ漏れる光を減少する。

【0035】はんだが、リフロー・オープンに、はんだ合金の固体温度を超える温度で置かれると、LEDとサブマウントとの間の相互接続が作られる。リフローの間、毛細管力と表面張力とは、はんだ可能金属区域をはんだシートへ配列する傾向がある。これにより、LEDダイのサブマウントウェーハへのいくつかの自己再配列が可能となる。この自己再配列は、高速ダイ取付け機械の使用を通して活用することができ、初期のダイ取付け精度を犠牲にしてスピードを取ることを可能にする。更に、p及びnはんだシートの各々を多くのシートへ分割すると、自己再配列が改善される。図7を参照すると、図の実施形態は、p及びnはんだパッド41を対で示す。はんだシート間の隙間は、ダイ取付け機械の精度により決められる。図7の実施形態は、x及びy方向に優れた自己再配列特性を持つが、一方、図6aの実施形態は、主にy方向に自己再配列特性を持つ。

【0036】図8を参照すると、代わりの実施形態は、同面積のはんだ「棒」としてはんだ可能金属41を示す。この設計は、リフローの間、はんだ可能金属の様な溶解と共に良好な自己再配列の利点を持つ。一様な溶解が起こるのは、ダイとサブマウントとの間に作用する力がはんだ溶解面積に比例するからである。一様な溶解は、同等面積の領域から成る可溶性金属パターンを使って達成される。一様な溶解は、リフローとそれに続く冷却の間、LEDダイが傾くのを防ぐ。平面のLED取付け処理を維持することは、例えばLEDダイの部分サブマウント上の金属被覆区域のきわめて近傍にある場合

に現れるp-n接合の短絡など、破損機構を被る可能性が小さいことを意味する。また、傾いていないLEDダイの方向は、LEDランプ又はシステムの他の光学構成要素への改善された光結合を準備する。

【0037】図9を参照すると、別の実施形態は、はんだ「バンパ」用のパッドに変化したn領域はんだ可能金属を示す。n及びp電極間の分離がnはんだパッド近傍で必要でなくなり、それ故、誘電不活性化層42の必要性を排除するので、ウェーハ製造工程が簡素化される。はんだバンパの製作は業界標準工程であり、n電極でのはんだ接続を十分に確立された製造技術を通して準備することが可能である。

【0038】図10a及び図10bに各々示す平面及び断面図に表された代わりの実施形態において、全はんだ取付インタフェースは、バンパ用はんだパッドにより準備される。熱抵抗を最小にするために、最終はんだ厚を最小にしながら、最終はんだ接合断面面積を増やすためにバンパ数が最大にされる。バンパ数は、所定のバンパ直径に対してはんだバンパのピッチを制限する、はんだバンパ形成の最新技術により指令される。通常のピッチは、100 μ m直径のバンパに対し、200 μ mである。1mm²のダイに対し、5列の100 μ m直径のバンパが実現可能である。図10aを参照すると、nパッドに対して1列は2つのバンパである。n電極フィンガは、p電極金属被覆に沿うバンパの列数を4に制限する。この設計において、はんだ区域の断面は、p電極区域の少なくとも15%に維持される。はんだ面積の範囲は、可溶性金属表面区域を個々のバンパに必要な小さなバイアの先まで拡張することにより増加できる。例えば、LEDダイの可溶性金属パターンは、図8に示すように、各棒から成り得るのに対し、サブマウントのはんだバンパはなお、p電極用に4x4のアレー及びn電極用にそれプラス2の形をとる。図11a及び図11bは、本実施形態の断面図を示す。図11aは、LEDダイ上のはんだパッド41用のパターン化された誘電体42内にバイアを含む実施形態を示す。同様に、パターン化された誘電体53には、サブマウント上のはんだパッド54用にバイアが設けられる。図11bに示す実施形態において、LEDダイ上のはんだ可能金属41は、はん다가広がってその個々の直径がもたらすであろうよりもかなり広い範囲を溶解できるように、はんだバンパよりも大きく作られる。この結果、はんだ面積範囲が図11aの個々のバンパの合計を超えることとなる。また、はんだ厚は事実上減少する。これらの両方の結果は、はんだ接合の熱抵抗を減らし、LEDダイが増加した光出力のために高い電流密度まで駆動されることを可能にする。

【0039】図12aから図12bに示す通り、サブマウントへの優れた熱接触を持つ装置へ準備するため、LEDの可溶性金属パターンに適合する、バンパ以外の任

意形状にはんだを形成することが更に可能である。図12aは、LED底部の平面図である。はんだ可能金属41は、p電極20及びn電極22金属被覆上にパターン化され、リフローの間のはんだの溶解区域を形成する。代わりに、図6から図8に示すように、溶解区域は、誘電不活性層42にから形成され得る。図12bは、サブマウントの平面図を示す。横方向のサブマウント形状は任意であるが、六角形設計が示されている。サブマウントは、例えばSiなどの基板50を含む。例えばSiO₂などの随意的な誘電体層51は、LEDダイとサブマウント基板との間の電気的分離のために含まれてもよい。代わりに、サブマウント基板は、サブマウント基板内に組立られた電子回路と一体化するため、LEDダイと電気的に接続されてもよい。Ag又はAlなどの金属被覆52は、ワイヤボンディングとしてのほか、LEDダイから下方に放出された光に対する反射器として設けられる。金属被覆52の裂け目は、取付後、LEDダイのp及びn領域を電気的に分離するために設けられる。はんだ可能金属54は、リフローの間のはんだの溶解区域を形成するためにワイヤボンディング金属被覆52の上部にパターン化される。これらのパターンは、LEDダイのはんだ可能金属被覆41のそれと合致する。LEDダイに関しては、図10bに示すように、サブマウントの溶解区域は、誘電不活性層53により形成され得る。はんだ材料60は、サブマウントはんだ可能金属被覆54に堆積される。代わりに、はんだ材料60は、LEDダイに堆積されてもよい。はんだの縁部は、はんだ可能金属パターン54の縁部から少し後退してもよい。溶解区域41及び54とはんだパターン60とにより形成されたはんだ割り付けの制御は、はんだ適用工程に左右される。できるだけ多くのp電極20が、リフロー後にはんだで覆われることが好ましい。図12aから図12bの溶解区域は、p電極20の約66%にはんだを供給する。図12aから図12bのはんだ割り付けは、各棒から成っているが、任意パターンがもちろん可能であり、p電極のはんだ面積範囲が更に増加できる。

【0040】LEDとサブマウントとの間の適切な相互接続により、LEDの最大作動温度を通常の最大定格である130℃を超えて増加することが可能になる。これは、相互接続が130℃を超える温度で、熱的に安定している場合である。それ故、はんだの場合、例えば95/5 Pb/Sn、AuSn、AuSi、及び、AlSiなどの高温はんだをこのインタフェースに使用することが必要である。高温相互接続は、LEDの最大接合温度を上昇し、最大駆動電流のかなりの増加、すなわち発光能力の増加をもたらす。はんだリフローの間、p電極の完全性を維持することが重要である。すなわち、この層の反射率と接触抵抗とは、はんだ可能金属層やはんだ自身の存在によって低下されるべきではない。こうした低下は、p電極とはんだ可能金属層との間の金属相互混

合や、層間剥離などの歪みの誘発効果により起こり得る。このため、p電極とはんだ可能金属との間に障壁層が必要であろう。適切な障壁層は、非限定的に、Ni、Cr、Cu、及び、Tiを含む。

【0041】LEDダイ寸法が大きいものに対しては、LEDダイ、サブマウント、及び、ケーシングの間の熱膨張係数(CTE)の相違は、疲労を引き起こし、熱循環応力状態のもとで、LED/サブマウント取付インタフェースにおいて最終的に破損を起こす可能性がある。CTE問題は、小さいシート(又は、棒やバンパ)に対してよりも、大きなシート・はんだ取付設計に対して最も起こりやすい。従って、より大きなLEDダイを取付けるのには、より小さいはんだ形状のほうが好ましい方法であり得る。また、より厚いはんだシートや、より高いはんだバンパの方が、LEDとサブマウントとの間に、より大きなコンプライアンスをもたらし、破損の危険性を小さくし得る。最小熱抵抗とCTE問題の始まりとの間のこのトレードオフは、所定のLEDダイサイズに対する最適はんだ取付設計に導く。1mm²のダイと15%のはんだ面積範囲とに対し、はんだ厚は、温度循環応力状態の間、破損を起こすことなく最低20μmまで薄くすることができる。

【0042】LEDの光抽出は、III族窒化物ヘテロ構造のインタフェースの1つにおいて質感表面を準備することにより増加できる。質感化は、不規則でも規則的でもよい。これは、図13aから図13cに示されている。図13aは、サファイア上層基板を利用する逆転装置を示す。サファイア上層基板とIII族窒化物エピタキシャル層との間の屈折率の不釣合が大きい(nが約0.6)と、活性領域から発生する大部分の光がサファイア・III族窒化物インタフェースで完全に内部に反射されることになる。この光は捕らえられ、装置に沿って横方向へ、ダイの側面に向かって誘導される。しかし、III族窒化物エピ層と電極とに存在する多くの損失機構のために、導波光のほとんどは、装置から逃げる前に失われる。図13bにおいて、III族窒化物ヘテロ構造とサファイア上層基板との間のインタフェースが、光をIII族窒化物層から散乱させるために質感化される。これにより、ヘテロ構造内の平均光子路程長が減少して内部吸収効果が減少し、すなわち、光抽出が改善される。同様な効果は、III族窒化物ヘテロ構造の底面、又は、ヘテロ構造内のインタフェースの1つにおいて質感化することにより達成できる。多くのインタフェースは、光抽出の更なる増大と関連して質感化され得る。

【0043】代わりの実施形態において、サファイア(nが約1.8)よりもIII族窒化物層(nが約2.4)により近く屈折率が適合する高屈折率(HRI)(n>1.8)の上層基板を含む逆転ダイ構成を準備することにより、光抽出は改善される。光発生領域を作っ

ているIII族窒化物層へのより近い屈折率適合により、より多くの光が厚い上層基板内に結合することを可能にし、光が、III族窒化物エピタキシャル層内又は周りに存在する多くの損失機構の1つにおいて吸収される前に周辺内へ逃げることを可能にする。図13cは、SiC上層基板が使用された、こうした実施形態を示す。SiCの屈折率は約2.6で、サファイアよりもかなり密接にGaNに適合する。従って、完全内部反射の確率は非常に低く、結果的にIII族窒化物層内に導波管は形成されない。実際上活性領域から発生した全ての光は、上層基板内に結合され、5つの露出した上層基板表面の1つを通して逃げる確率が高い。HRI上層基板を用いてさえ、III族窒化物ヘテロ構造の1つ以上のインタフェースを質感化することにより、光抽出の更なる改善を得ることができる。

【0044】HRI上層基板の全ての恩恵を導くため、該上層基板は、吸収がほとんどない本質的に透明でなければならない。このように、SiCに対しては、上層基板は、僅かにドーパ処理されているか、又は、全くされていないかであるべきであり、成長方法により、LED装置に対して低損失の光学窓と備えるために、比較的不純物が無い上層基板を準備する必要がある。6H SiCに対して、抵抗が $0.5\Omega\text{cm}$ より大きい場合、上記はほぼ当てはまる。SiC内の吸収損失効果は、図14に量的に表され、抽出効率(サファイア上層基板を使用する装置に対して正規化)が、SiC上層基板内の分配損失(cm^{-1} で表された吸収係数)の関数としてプロットされる。本結果は、LED装置構造の光線追跡モデル化により得られる。SiCの3つの異なる厚さが示されている。厚さ約 $100\mu\text{m}$ のSiC上層基板に対して、吸収係数は、 3cm^{-1} 未満であるべきであり、より厚い基板では、吸収係数は、より低くなるはずである。無損失SiC上層基板の場合は、抽出効率の利得は、本発明中の以前の実施形態に比べて1.2倍より大きい。

【0045】III族窒化物LEDの光抽出効率を高めるのに適する多くのHRI上層基板がある。多くの異なるポリタイプ(2H、4H、6H、c及びa軸の両方、3C等)におけるSiCに加え、ZnS、ZnSe、YAG、又は、ZnO等の他の材料も使用できる。HRI上層基板は、III族窒化物エピ層の成長基板として働き、又は、ボンディングや第2成長段階によってIII族窒化物エピ層に取り付けられることができる。抽出効率への重要な恩恵は、III族窒化物ヘテロ構造上又は内部の1つ以上のHRI上層基板表面においても同様に、光無作為化表面を設けることにより得ることができる。こうした表面は、例えばのこで引くなどにより装置側壁に自然にもたらされるか、又は、例えばエッチングなどの他の方法により達成され得る。また、クラメスらが、「応用物理学レター75」の2365ページから2367ページに記載しているように、上層基板は、改善され

た抽出効率を準備するために形作られてもよい。こうした形状の1つは、上層基板の上面がその底面より大きい表面積を持つような逆転ピラミッド設計である。この実施形態は、図15に示されている。

【0046】サブマウントは、機能性をもたらし、性能に影響することができる。サブマウントは、LEDからの熱除去用の熱経路にあるので、サブマウント材料は、高い熱伝導率を持つべきである。適切な材料は、Si、AlN、及び、BeOを含む。サブマウントは、熱抵抗を小さくするために比較的薄くなければならない。例えば、Siサブマウントは、 $250\mu\text{m}$ 未満でなければならない。Siは、約 100W/mK でというその良好な熱伝導性と、統合電子機器能力のために、サブマウント材料として魅力的である。サブマウントは、LEDとパッケージとの間に電気的分離を準備してもよい。この場合、陰極と陽極との2つの接続がサブマウントの上面でパッケージ導線に対して必要である。代わりに、パッケージの電気的分離が不要で、かつサブマウントが伝導性の場合、1つの電極がサブマウントを通してパッケージに接触することができる。そのため、サブマウント上部から対向する導線へ、ただ1つの相互接続のみが必要となる。サブマウントの上面金属被覆は、下方に伝達する光を上方へと、高い効率で再方向付けするためにワイヤボンディング可能でかつ反射的であるべきである。従って、Ag及びAlは、サブマウントの上面金属被覆にとって適切な選択である。

【0047】サブマウント上面の反射金属被覆の鏡面性のほか、サブマウント形状は、LEDの見かけの光源サイズに影響してLED発光システムの光学に影響を与えることができる。LEDのほとんどは、ダイから主に横方向に放出された光を上方へ、そして有用な放射パターン内へと再方向付けするために反射カップを必要とする。この反射カップが大きい必要があればある程、1次及び2次の2次レンズも小さくなくてはならない。光学の費用は、必要とする材料の容量に比例するので、反射カップの半径を最小にする必要がある。サブマウントを含むと、ワイヤボンディング接続に余分な空間が必要のため、LEDダイのサイズが実際上増大する。通常のワイヤボンディング許容範囲は、信頼できるワイヤボンディングのために、LEDダイを超えて約 $400\mu\text{m}$ の材料が延びることを要求する。また、サブマウントウェーハのダイシングには、隣接するLEDダイ間に約 $100\mu\text{m}$ の空間が必要である。これらの許容範囲により、LEDダイサイズがかなり実際上増大する結果となる。例えば、 $1\times 1\text{mm}^2$ のLEDダイは、サブマウントのために矩形形状を使用して $1.8\times 1.1\text{mm}^2$ の区域が必要であろう。このサブマウントの最大の広がり、 $(1.8^2+1.1^2)^{1/2}=2.11\text{mm}$ に等しい対角線であり、反射カップの直径の下限を定める。代わりに、サブマウントが円盤のような形の場合、サブマウン

トの最大の広がり、僅か1.8mmである。このように、円盤形サブマウントにより、反射カップの直径を非常に小さくできる。円形裁断は、製造が困難であり得るので、円形円盤に近似の他の幾何学形が好ましい。例えば、六角形サブマウントは、マルチパス引きのこ(2パスの代わりに3パス)により製作でき、正方形や矩形サブマウントより好ましい。これらの考案は、図16に示される。LEDダイより大きなサブマウントの面に仮想光源を作り出さないため、サブマウントの上の反射金属被覆は、できるだけ鏡面的であるべきである。LEDダイより大きいサイズの仮想光源は、LEDの放射パターンに有害な影響を及ぼし、修正にはより大きな光学が必要になるであろう。

【0048】図6b、図9b、及び、図12bに示すサブマウントにより、LED内の電子機能が可能になる。III族窒化物装置は、静電放電(ESD)被害を受け易く、アントルらが米国特許第5,941,501号に記載しているように、LEDに電気的に接続された電力分巻部材により保護されてもよい。本発明に対しては、Siサブマウントを全体ESD保護のために回路に内蔵することができる。この場合、例えばツェナーダイオード等の保護回路は、LEDダイと並行に接続される。代わりに、LEDが交流電源により駆動できるように、背中合わせのツェナーダイオードは、LEDダイと並行に製作されてもよい。例えば、光出力を監視する光検出器や、電流、及び/又は、電圧を監視する抵抗器など、他の電子装置もサブマウント内に含まれ得る。こうした装置は、一体化システムが一定した光出力動作を維持するための閉ループフィードバック制御をもたらすことを可能にするであろう。

【0049】サブマウントは、図17aに示すように、モノリシック構造の多重直列相互接続発光ダイオードに基づいたLEDを準備する。組立体には、4つの直列接続されたLEDがあり、それらの間に溝80を形成するためにIII族窒化物材料を除去するエッチングにより電気的に分離されている。該エッチングは、少なくとも未ドーパ処理のIII族窒化物層まで進行する。電気相互接続は、サブマウント上に広げられた金属トレース81により準備される(図示しない)。はんだ金属被覆は、ダイオードがはんだを介してサブマウント金属トレースに電気的に接続されるように設計されている。得られる装置は、図17bに示す電子回路により表すことができる。すなわち、この装置は、同じ活性接続面積の従来のLEDよりも4倍の電圧、及び、4倍ほど少ない電流で動作する。例えば、1mm²の従来のIII族窒化物LEDは、3.0V及び350mAで動作し得るが、図17aに示すように4つの直列相互接続LEDに分割されたこの同じ活性接続面積は、12.0V及び87.5mAで動作する装置をもたらす。この高電圧及び低電流動作により、LEDの電子駆動回路への要求が少なく

なる。事実、電子駆動回路は、高電圧及び高能率で稼働でき、LED発光システムの全体的な効率を高める。モノリシック装置である本実施形態は、個々のLEDダイを直列に取り付ける従来方法よりも好ましい。従来方法においては、ダイ取付機構が必要とする許容範囲のため、LEDダイが占める総面積が増大する。これにより、全LEDの光源サイズが不必要に増加し、それに続くLEDシステムの光学サイズも増加する必要がある。好ましい実施形態において、ダイオードは、電気的分離のためのトレンチエッチングにより、可能な限り互いに接近して間隔を置くことができる。トレンチ幅は、本実施形態のダイオードの充填密度が非常に高くなり得るように、数ミクロンまで小さくすることができる。図18に示すように、4つの1mm²LEDダイは、モノリシック的に製作され、1つの上層基板とサブマウントとを分け合う。サブマウント上の金属トレース81は、4つのLEDを直列で電気的に接続する。各1mm²LEDは、通常3Vで動作するが、図18に示す4つの直列接続LEDモジュールは、12Vで動作する。サブマウント設計は、モジュールの有効光源サイズを減少するために六角形である。トレース金属被覆81は、外部接続のためのワイヤボンディングに使用され、例えばAgやAlなどの反射金属被覆から成る。

【0050】活性領域層を高反射率p電極の近くに置くことにより、光抽出効率を更に高めることができる。活性領域の中心が反射p電極から材料(約λ/4n)内の光の1/4波長のおよそ奇数倍の範囲内にとられる場合、下方及び上方に伝達する光の建設的干渉は、電力を選択的に上方に放出する放射パターンをもたらす。この強化は、III族窒化物・基板に垂直な方向と近い方向であり、III族窒化物エピ層内への全内部反射を受けにくい。代わりに、活性領域を少しp電極反射器の近くに(又は、遠くに)移動することによる共鳴条件の僅かな非同調化は、全フラックスの全方向における光抽出改善を最適化するのに好ましい可能性がある。ほとんどの適用例において最高の効率を得るためには、活性領域とp電極間との距離は、およそ1/4波長であるべきである。

【0051】図19は、LEDダイ製作の工程フローチャートを示す。段階91において、III族窒化物ヘテロ構造は成長基板に堆積される。段階92において、接点III族窒化物ヘテロ構造に施され、必要であれば、エッチングが施される。p接点は不透明であり、電気的にp型層に接続される一方、n接点は、n型層に電気的に接続される。随意的な段階93及び94において、各々、金属間誘電体が、n接点がp接点の間に挿入されている領域において少なくともn接点に亘って施され、シート反射器が加えられる。段階95において、随意的な障壁層は、接点と反射器とをはんだから保護するために加えられる。段階96において、はんだ可能金属

が施される。随意的な段階 97 において、はんだ可能金属は、パターン化される。段階 98 において、誘電体は、はんだ可能区域を形成するために加えられる。段階 99 において、該誘電体は、パターン化される。段階 97 又は段階 99 の後に、LED ダイをサブマウントに取付けることができる。

【0052】図 20 は、LED をサブマウントへ取り付け処理のフローチャートを示す。段階 100 において、はんだがサブマウントウェーハに施される。段階 101 において、LED ダイとサブマウントとの間に接合部が形成される。随意的な段階 102 において、アンダーフィルが LED ダイとサブマウントとの間に施される。段階 103 において、サブマウントウェーハは分離される。段階 104 において、ダイとサブマウントとは、パッケージに取り付けられる。代わりに、段階 100、101、及び、102 の代わりに段階 105 が完了される。段階 105 において、はんだが LED に施される。段階 106 において、LED ダイとサブマウントウェーハとの間に接合部が形成される。随意的な段階 107 において、アンダーフィルが LED ダイとサブマウントとの間に施される。

【図面の簡単な説明】

【図 1】サファイア基板を持つ従来技術の III 族窒化物発光装置を示す図である。

【図 2】SiC 基板を持つ別の従来技術の III 族窒化物発光装置を示す図である。

【図 3】接合部から周辺への熱抵抗の関数としての最大順電流を示す図である。

【図 4】p 電極吸収の関数としての LED 光抽出効率を示す図である。

【図 5】従来技術の発光装置に捕らえられた光を示す図である。

【図 6 a】本発明の実施形態の平面図である。

【図 6 b】本発明の実施形態の断面図である。

【図 7】本発明の実施形態を示す図である。

【図 8】本発明の実施形態を示す図である。

【図 9】本発明の実施形態を示す図である。

【図 10 a】本発明の実施形態の平面図である。

【図 10 b】本発明の実施形態の断面図である。

【図 11 a】図 10 a に示す実施形態の断面図である。

【図 11 b】図 10 b に示す実施形態の断面図である。

【図 12 a】本発明の実施形態の平面図である。

【図 12 b】本発明の実施形態の平面図である。

【図 13 a】本発明の代わりの実施形態を示す図である。

【図 13 b】本発明の代わりの実施形態を示す図である。

【図 13 c】本発明の代わりの実施形態を示す図である。

【図 14】SiC 吸収係数の関数としての GaN/SiC 逆転 LED の抽出効率を示す図である。

【図 15】上層基板基板のための逆転ピラミッド設計を持つ実施形態を示す図である。

【図 16】サブマウントの代わりの実施形態を示す図である。

【図 17 a】本発明による多重直列相互接続発光構造を示す図であり、該構造の平面図である。

【図 17 b】本発明による多重直列相互接続発光構造を示す図であり、図 7 a に対応する概略図である。

【図 18】サブマウントに接続された多重直列相互接続発光構造を示す図である。

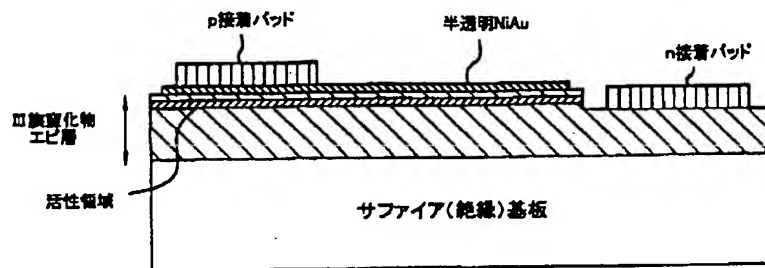
【図 19】III 族窒化物 LED を製造するフローチャートを示す図である。

【図 20】III 族窒化物 LED をサブマウントに取付けるフローチャートを示す図である。

【符号の説明】

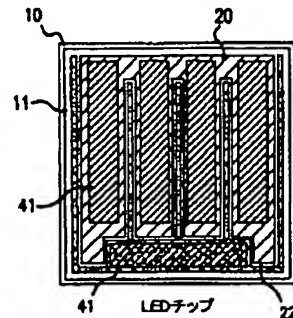
10 上層基板
11 III 族窒化物層
20 p 電極金属被覆
22 n 電極
41 伝導インタフェース
42 誘電不活性化層

【図 1】

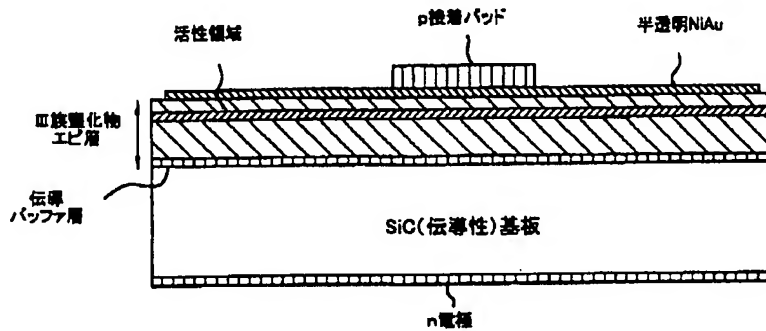


従来技術

【図 12 a】

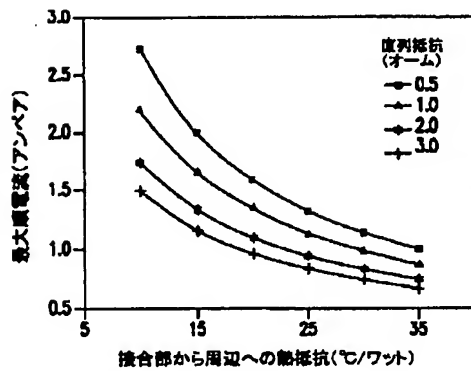


【図2】

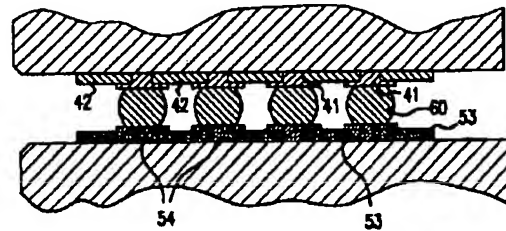


従来技術

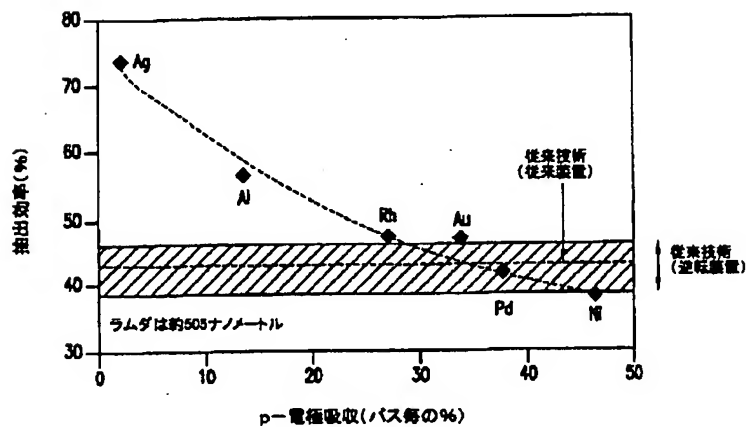
【図3】



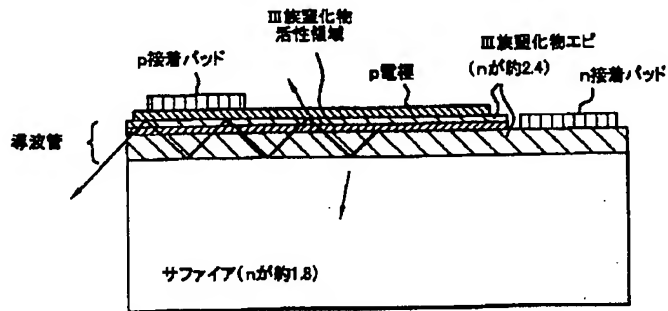
【図11a】



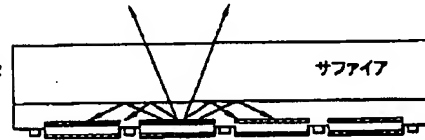
【図4】



【図5】

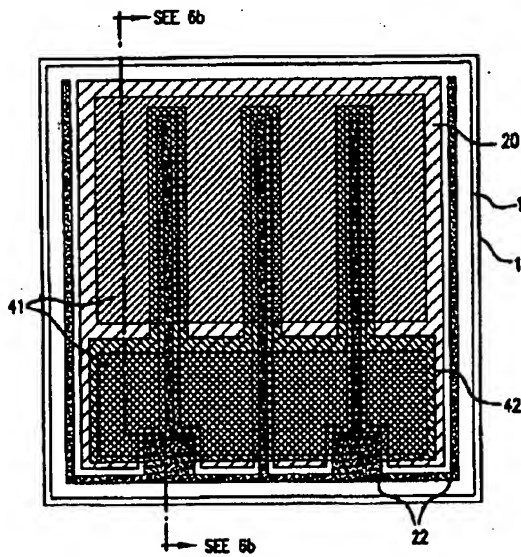


【図13a】

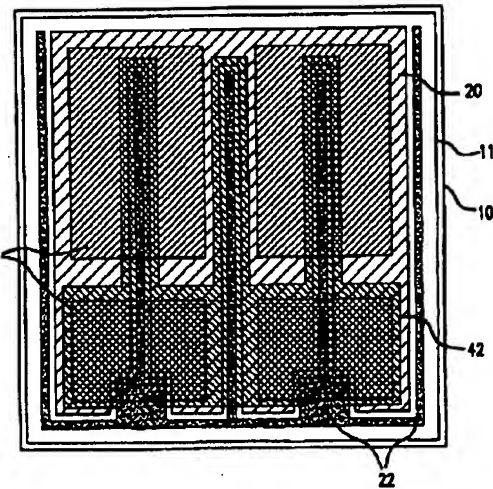


従来技術

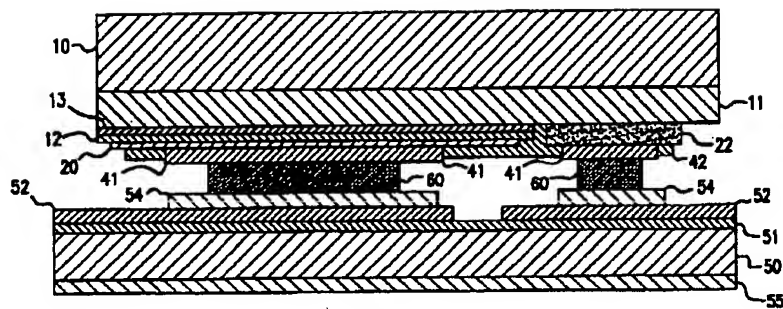
【図6a】



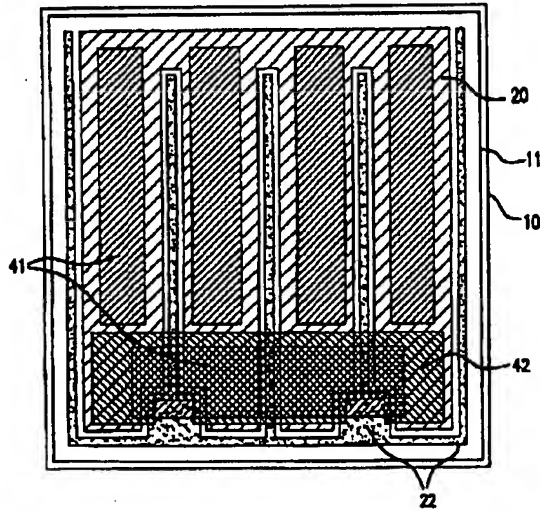
【図7】



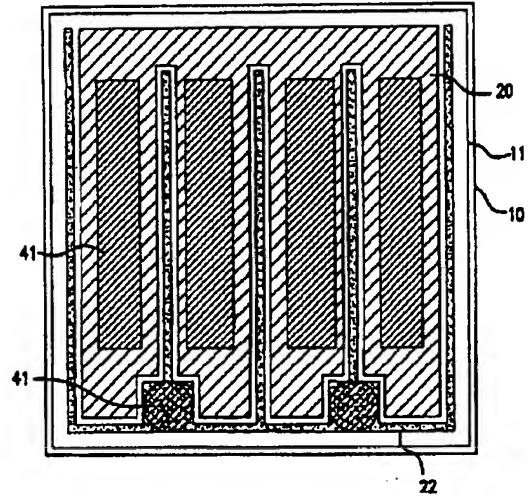
【図6b】



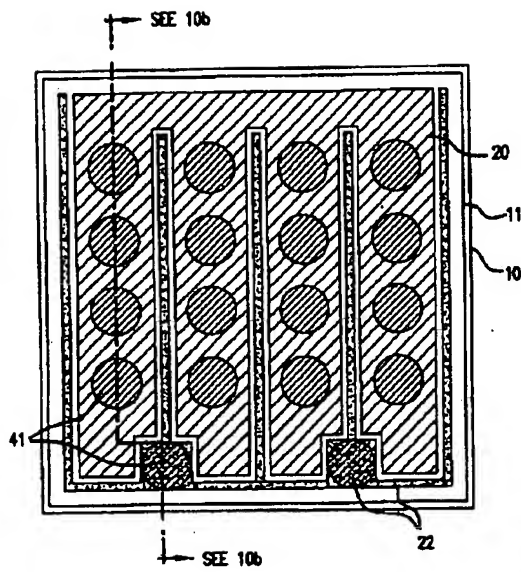
【図8】



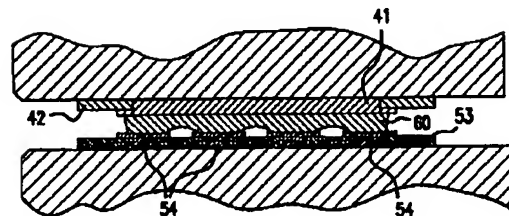
【図9】



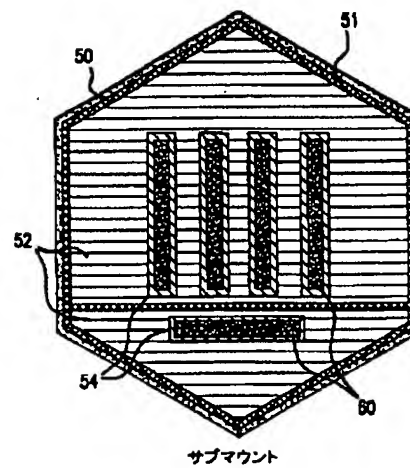
【図10a】



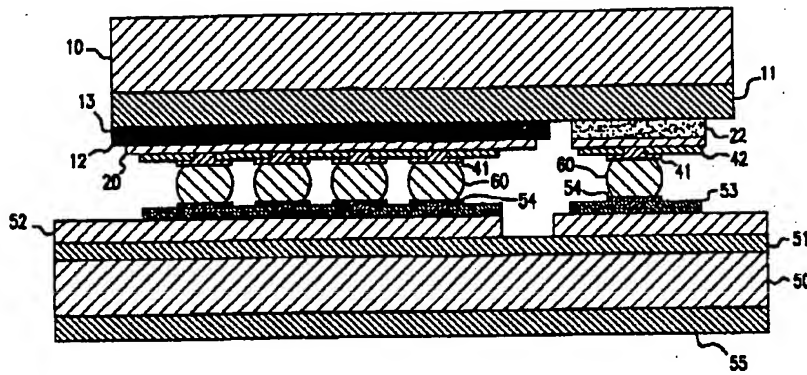
【図11b】



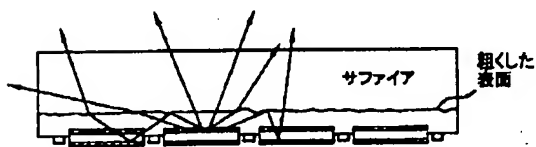
【図12b】



【図10b】

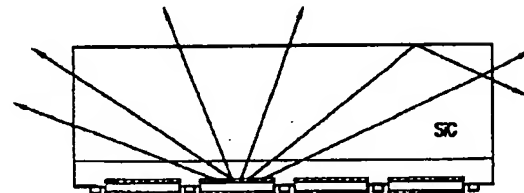


【図13b】

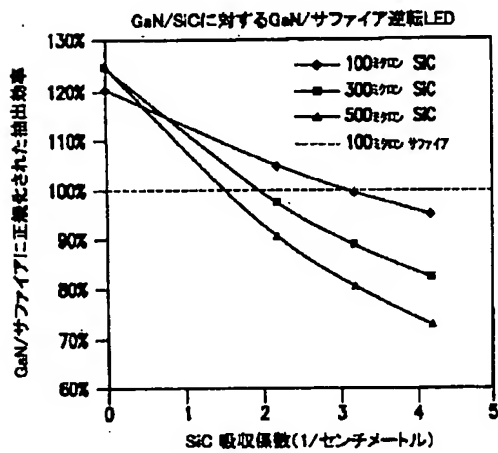


【図14】

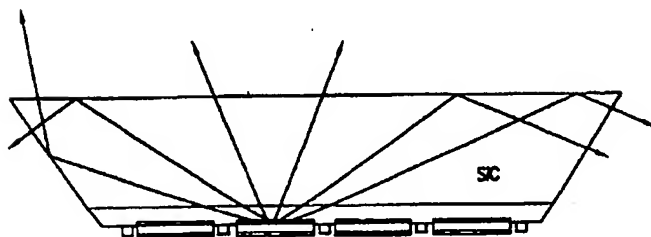
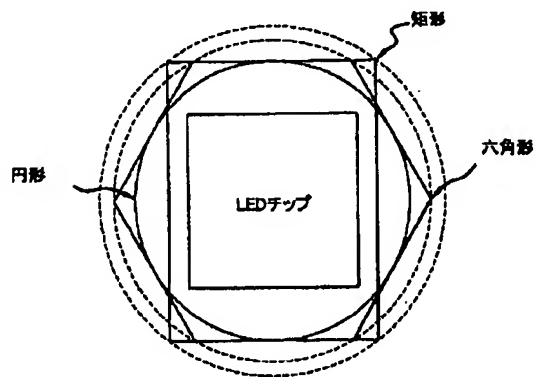
【図13c】



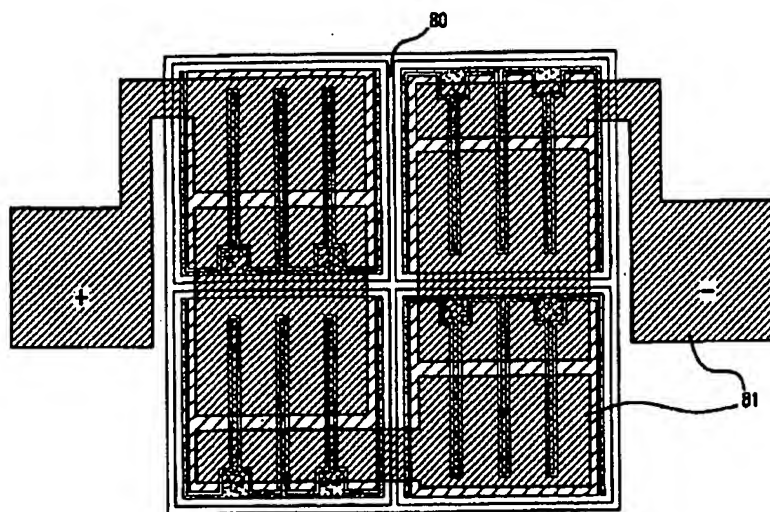
【図16】



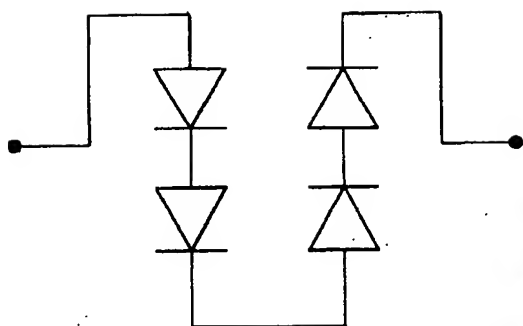
【図15】



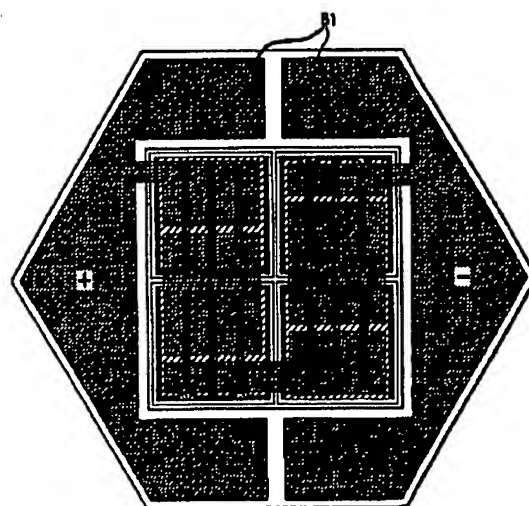
【図17a】



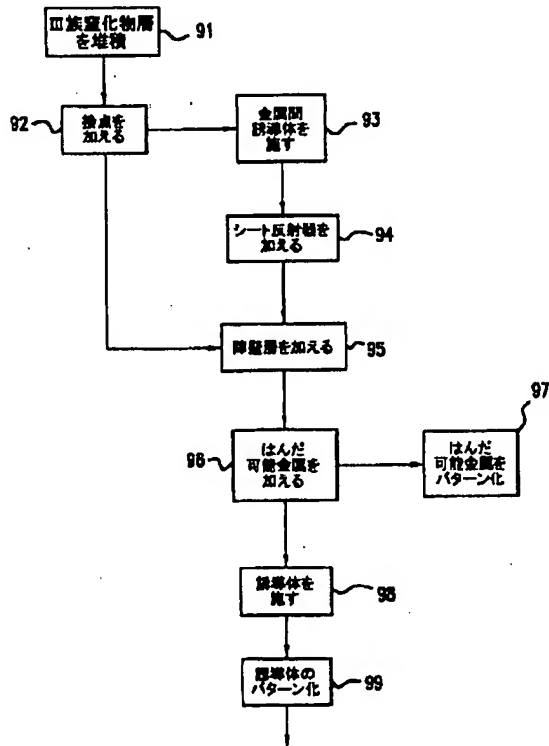
【図17b】



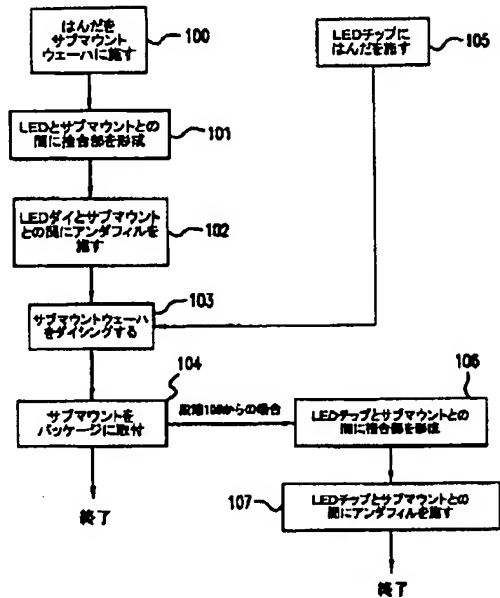
【図18】



【図19】



【図20】



フロントページの続き

(72)発明者 ジョナサン ジェイ ウィーラー ジュニア
 アメリカ合衆国 カリフォルニア州
 95129 サン ホセ ノーワーク ドライヴ 4211 アパートメント シーシー 210

(72)発明者 マイケル アール クレイマス
 アメリカ合衆国 カリフォルニア州
 94041 マウント ヴィュー フロントレーン 550

(72)発明者 ダニエル エイ スタイガーワールド
 アメリカ合衆国 カリフォルニア州
 95014 クーパーティノ ロックウッド ドライヴ 10430ービー

(72)発明者 フレッド エイ キッシュ ジュニア
 アメリカ合衆国 カリフォルニア州
 95138 サン ホセ ニューゲート コート 5815

(72)発明者 ブラディーブ ライコマー
 アメリカ合衆国 カリフォルニア州
 95118 サン ホセ ノーマンデイル ドライヴ 4150

【外国語明細書】

METHOD OF MAKING A III-NITRIDE LIGHT-EMITTING DEVICE WITH INCREASED LIGHT GENERATING CAPABILITY

Field of the Invention

The present invention relates to semiconductor light emitting devices, and more particularly to III-nitride based light-emitting devices with improved light generating capability.

BACKGROUND OF THE INVENTION

A "III-nitride" material system is any combination of group III and group V elements, with nitrogen being the primary group V element, to form semiconductors used in the fabrication of electronic or optoelectronic devices. This material system includes, but is not limited to, GaN, AlGaN, AlN, GaInN, AlGaInN, InN, GaInAsN, and GaInPN. The III-nitride material system is suitable for the fabrication of light-emitting devices (LEDs) that generate light with photon energies from the ultra-violet to the red spectral wavelength regimes. These LEDs include light-emitting diodes and laser diodes.

A III-nitride LED typically includes epitaxial layers deposited upon a suitable growth substrate to form a p-n junction via growth techniques, e.g. organometallic vapor-phase epitaxy. There are some unique challenges in the fabrication of III-nitride semiconductor devices. Because III-nitride substrates are not commercially available, the epitaxial growth is forced to occur upon non-lattice-matched substrates, e.g. sapphire or SiC. The epitaxy-up orientation of the conventional III-nitride LED die requires that light be extracted out the top surface, i.e. out through the p-type III-nitride layers. But, the high resistivity of p-type III-nitride layers, e.g. GaN, requires that metallization be deposited on the p-type material surface to provide sufficient current spreading. Because such metals absorb light, a very thin p-electrode metallization (e.g., Ni/Au) is typically used to allow light to escape through the top surface. However, even these thin semi-transparent layers absorb a significant amount of light. Assuming a typical thickness of 100Å of Au and neglecting Ni (which may be oxidized to form transparent NiO_x), the amount of light absorbed in this semi-transparent p-electrode is ~25% per pass at $\lambda = 500$ nm. At high current densities, the metallization thickness may need to be increased to maintain uniform current injection into the active region, and to avoid generating most of the light in the vicinity of the wirebond pad. Increasing the metal thickness increases light absorption and reduces the extraction efficiency of the device. Clearly, this tradeoff should be avoided in the design of

III-nitride LEDs for operations at high current densities ($> 40 \text{ A/cm}^2$, which is $\sim 50 \text{ mA}$ into a $\sim 0.35 \times 0.35 \text{ mm}^2$ junction area).

In Figure 1, Nakamura et. al., in U.S.P.N. 5,563,422, disclosed a typical prior art III-nitride LED employing a sapphire substrate. Undoped and doped III-nitride layers surround an active region. A non-planar device geometry is necessary where contact to both p and n regions occur on the same side (top) of the LED since the substrate is electrically insulating. Also, two wirebond pads are required on the top of the device. The n-side wirebond pad is also an Ohmic electrode for making electrical connection to the III-nitride epi layers. The high resistivity of the p-type III-nitride layers requires current spreading to be provided by a thin semi-transparent (partially absorbing) NiAu Ohmic electrode that is electrically connected to the p-type III-nitride layers. Light extraction efficiency is limited by the amount of surface area covered by this Ohmic electrode and by the bonding pads. The optical losses associated with the Ohmic and bondpad metal layers are accentuated by the light-guiding nature of the III-nitride materials ($n \sim 2.4$) on the sapphire substrate ($n \sim 1.8$).

Inoue, et. al., in EP 0 921 577 A1, disclosed a prior art III-nitride LED having an epitaxy-side down or inverted structure where the light escapes predominantly upwards through a superstrate, i.e. the sapphire growth substrate. The device design conserves active junction area and provides for the smallest possible die size. The p electrode is made of Ni and Au, which are quite absorbing to visible light. Since this device lacks a highly reflective p-electrode metallization, it is limited in terms of light extraction efficiency and does not offer a significant improvement over the conventional (epitaxy-side up) device. Also, because the devices are small ($< 400 \times 400 \mu\text{m}^2$) and use a small solder connection area to the package, they are limited in their light generating capability. Finally, this device suffers in efficiency from having guided light trapped within the III-nitride epi layers because of the low-refractive-index sapphire superstrate.

Kondoh et. al., in EP 0 926 744 A2, disclosed a prior art inverted III-nitride LED using a sapphire superstrate. The p-type electrode is silver, which is very reflective in visible light and results in a device with higher light extraction efficiency compared to the device disclosed by Inoue et. al. However, Ag adhesion to III-nitride material is poor. Upon annealing, Ag can conglomerate and destroy the integrity of the sheet Ohmic contact behavior and the reflectivity. Since the device is relatively small ($< 400 \times 400 \mu\text{m}^2$) and uses a small solder connection area to the package, it is limited in its light generating

capability. Finally, this device suffers in efficiency from having guided light trapped within the III-nitride epi layers because of the low-refractive-index sapphire superstrate.

Mensz et. al., in Electronics Letters 33 (24) pp.2066-2068, disclosed a prior art inverted III-nitride LED using a sapphire superstrate. This device employs bi-layer metal p-electrodes, Ni/Al and Ni/Ag, that offer improved reflectivity compared with Ni/Au. However, these devices exhibited high forward voltages of 4.9 to 5.1V at 20mA in $350 \times 350 \mu\text{m}^2$ devices. This yields a series resistance of $\sim 100 \Omega$, which is more than three times higher than that of devices with good Ohmic electrodes. The high series resistance severely limits the power conversion efficiency. Since these devices are small ($< 400 \times 400 \mu\text{m}^2$) and not mounted for low thermal resistance, they are limited in their light generating capability. Finally, these devices suffer in efficiency from having guided light trapped within the III-nitride epi layers because of the low-refractive-index sapphire superstrate.

Edmond et.al., in WIPO WO96/09653, disclosed a vertical injection III-nitride LED on a conducting SiC substrate, shown in Figure 2. A conductive buffer layer is required for Ohmic conduction from the III-nitride layers to the SiC substrate. The growth conditions required for a conductive buffer layer limits the growth conditions available for subsequent layers and thus restricts the quality of the III-nitride active region layers. Also, the conductive buffer layer may introduce optical loss mechanisms that limit light extraction efficiency. Furthermore, the SiC substrate must be doped to provide high electrical conductivity ($\rho < 0.2 \Omega\text{-cm}$) for low series resistance. Optical absorption resulting from SiC substrate dopants limits the light extraction efficiency of the device. These conditions result in a trade-off between series resistance and light extraction efficiency and serve to limit the electrical-to-optical power conversion efficiency of the LED in Figure 2.

SUMMARY OF THE INVENTION

The present invention is an inverted III-nitride light-emitting device (LED) with enhanced total light generating capability. A large area ($>400 \times 400 \text{ } \mu\text{m}^2$) device has at least one n-electrode which interposes the p-electrode metallization to provide low series resistance. The p-electrode metallization is opaque, highly reflective, Ohmic (specific contact resistance less than $10^{-1} \text{ } \Omega\text{cm}^2$), and provides excellent current spreading. Light absorption in the p-electrode at the peak emission wavelength of the LED active region is less than 25% per pass. An intermediate material or submount may be used to provide electrical and thermal connection between the LED die and the package. The submount material may be Si to provide electronic functionality such as voltage-compliance limiting operation, protection from electrostatic discharge (ESD), series-string LED arrays, and feedback-controlled light output. The entire device, including the LED-submount interface, is designed for low thermal resistance to allow for high current density operation. Finally, the device may include a high-refractive-index ($n > 1.8$) superstrate in which further improvements in light extraction efficiency are obtained.

BRIEF DESCRIPTION OF THE DRAWINGS

Figure 1 shows a prior art III-nitride light emitting device with a sapphire substrate.

Figure 2 shows another prior art III-nitride light emitting device a SiC substrate.

Figure 3 shows maximum forward current as a function of the junction-to-ambient thermal resistance.

Figure 4 shows LED extraction efficiency as a function of p-electrode absorption.

Figure 5 shows light trapped in a prior art light-emitting device.

Figures 6a-b illustrate the plan and cross-sectional views of an embodiment of the present invention, respectively.

Figure 7 illustrates an embodiment of the present invention.

Figure 8 illustrates an embodiment of the present invention.

Figure 9 illustrates an embodiment of the present invention.

Figures 10a-b illustrate the plan and cross-sectional views of an embodiment of the present invention, respectively.

Figures 11a-b illustrate cross-sectional views of the embodiment shown in Figures 10a-b.

Figures 12a-b illustrate the plan views of an embodiment of the present invention, respectively.

Figures 13a-c illustrate alternate embodiments of the present invention.

Figure 14 shows extraction efficiency of GaN/SiC inverted LEDs as a function of the SiC absorption coefficient.

Figure 15 illustrates an embodiment having an inverted pyramid design for the superstrate.

Figure 16 illustrates alternate embodiments for the submount.

Figure 17a-b illustrates multiple series-interconnected light emitting structures according to the present invention. Figure 17a shows a plan view of the structure. Figure 17b shows the corresponding schematic diagram.

Figure 18 illustrates a multiple series-interconnected light emitting structure connected to the submount.

Figure 19 illustrates a flowchart for manufacturing the III-nitride LED.

Figure 20 illustrates a flowchart for attaching the III-nitride LED to a submount.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

One fundamental limiting condition of LED operation is maximum junction temperature. The maximum junction temperature, T_{jmax} , is the temperature of the p-n junction region at which breakdown or failure occurs in some part of the LED or its housing. This breakdown often occurs as the glass transition temperature of an encapsulating epoxy or lens is approached, causing loss of transparency and eventual melting of these materials. With such a limit established, ΔT_j , the temperature rise from ambient to T_{jmax} , may be expressed as (assuming power conversion efficiency $\ll 100\%$ which is true for present-day III-nitride devices),

$$\Delta T_j = T_{jmax} - T_a = I_{max} V_f \Theta_{j-a}, \quad (1)$$

where T_a is the ambient temperature, I_{max} is the maximum operating current, and V_f is the forward voltage at that current, and Θ_{j-a} is the thermal resistance from the p-n junction to ambient. Inserting a simplified expression for V_f , and re-writing yields

$$I_{max} = \Delta T_j / [\Theta_{j-a} (V_0 + I_{max} R_s)], \quad (2)$$

where V_0 is the turn-on voltage (approximately the III-nitride semiconductor bandgap voltage) and R_s is the electrical series resistance of the device. Solving for I_{max} yields

$$I_{max} = [\Delta T_j / (R_s \Theta_{j-a}) + (1/4 V_0 / R_s)^2]^{1/2} - 1/2 V_0 / R_s. \quad (3)$$

Equation 3 is plotted in Figure 3 for the case of $V_0 = 2.5$ V (corresponding to an energy bandgap of wavelength, $\lambda \sim 500$ nm) and $T_{jmax} = 130^\circ\text{C}$ for varying values of R_s and Θ_{j-a} . The range of values of these parameters is consistent with die dimensions of ~ 1 mm² and with systems that are well designed for heat removal. The rank in importance between R_s and Θ_{j-a} is determined by what portion of the graph in Figure 3 is governing the application. However, in most cases in Figure 3, a $\sim 5^\circ\text{C/W}$ reduction in thermal resistance more efficiently increases I_{max} (and thus light output) than a $\sim 0.5 \Omega$ drop in series resistance. Because series resistance derives from finite contact resistances and practical doping levels, it is difficult to reduce to arbitrarily low levels. Thus, it is clear that thermal resistance is a significant lever arm for increasing I_{max} , and that it must be minimized to maximize light generating capability.

With I_{max} fixed by the limitation on junction temperature, the maximum light generating capability is described in Equation 4:

$$L_{max} = \eta I_{max} \quad (4)$$

where L_{max} is the maximum light output in Watts and η is the slope efficiency of the LED in W/A. The slope efficiency is proportional to the external quantum efficiency, such that

$$\eta \sim \eta_{\text{ext}} = \eta_{\text{int}} C_{\text{ext}}, \quad (5)$$

where η_{int} is the internal quantum efficiency and C_{ext} is the light extraction efficiency of the LED. Thus, with a fixed active region efficiency (η_{int}), maximum light generating capability is obtained by maximizing extraction efficiency.

Since both series resistance and thermal resistance of the LED die are inversely proportional to junction area, it is desirable to increase the die size to increase I_{max} . Scaling up the die geometry arbitrarily runs into practical limitations of primary and secondary optics sizes and power dissipation capability of the LED package within a lighting system. Instead, the die size should be chosen to make efficient use of the allowable power dissipation provided by the LED package. In typical systems, junction-to-ambient thermal resistances are approximately $\sim 60^\circ\text{C}/\text{W}$, as described in Hoffer et.al., Electronics Letters 34, 1 (1998). A quick calculation puts an upper limit on the power dissipation of the LED package. Assuming an ambient temperature of 40°C and a T_{jmax} of 130°C , the maximum input power is $(130 - 40)/60 = 1.5 \text{ W}$. The maximum input power may be written

$$P_{\text{max}} = I_{\text{max}} V_f = I_f (V_0 + I_{\text{max}} R_s) = J_{\text{max}} (V_0 + J_{\text{max}} \rho_s) A_{\text{die}}, \quad (6)$$

where J_{max} is the maximum forward current density in A/cm^2 , ρ_s is the die series resistivity in $\Omega\text{-cm}^2$, and A_{die} is the die area (in cm^2). For efficient and cost-effective operation, reasonably high forward current densities are required. A suitable forward current density is $50 \text{ A}/\text{cm}^2$. For $350 \times 350 \text{ }\mu\text{m}^2$ devices, a typical series resistance is $\sim 30 \Omega$, corresponding to a device resistivity on the order of $\rho_s \sim 4 \times 10^{-3} \Omega \text{ cm}^2$. Assuming this same resistivity for Eqn.6, with $J_{\text{max}} = 50 \text{ A}/\text{cm}^2$, and a $V_0 = 2.5 \text{ V}$ (corresponding to an energy bandgap of wavelength, $\lambda \sim 500 \text{ nm}$), the required die area to achieve the maximum input power allowed by the package is $6.7 \times 10^{-3} \text{ cm}^2$, or $\sim 800 \times 800 \text{ }\mu\text{m}^2$. Smaller devices at this same power level would result in increasing forward voltages and thus lower efficiency for the same current. Likewise, smaller devices would run at higher temperatures because of increased die thermal resistance.

Because of the high resistivity of p-type III-nitride layers, LED designs employ metallization along the p-type layers to provide p-side current spreading. Therefore, because of the insulating substrate, the n-side current spreading must occur through the n-type III-nitride layers. These layers are typically $\sim 2 \text{ }\mu\text{m}$ thick with resistivities of $\sim 10^{-3} \Omega\text{-cm}$. To account for the negligible portion of a typical device resistivity, the distance required for current spreading by the n-type layers should be kept less than $\sim 200 \text{ }\mu\text{m}$. Therefore, a device larger than $400 \times 400 \text{ }\mu\text{m}^2$ requires multiple n-electrode fingers interposing the p-electrode to keep device series resistance low. As shown above, devices

for high light generating capability must be large, e.g. $> 400 \times 400 \mu\text{m}^2$. Therefore, these devices should employ an interposing n-electrode design. This design has serious implications for an inverted structure since the n and p electrodes must be kept electrically isolated in connection to a submount.

For an inverted design, using highly reflective electrode metallizations is critical to improve the extraction efficiency. Figure 4 shows LED extraction efficiency vs. p-electrode absorption for an inverted die design in comparison with the conventional (epitaxy-side up) device. The extraction efficiencies plotted in Figure 4 are determined by optical ray-trace modeling of LED die structures ($1 \times 1 \text{ mm}^2$) and include measured optical properties of all the LED materials. All of the inverted devices that were modeled employ sapphire superstrates, while the conventional devices (not inverted) use sapphire substrates. The p-electrode absorption (x-axis) is defined as the percent of light absorbed per pass assuming illumination from an isotropic point source of light within the III-nitride epi layers adjacent to the p-electrode at the wavelength of interest. The p electrode is the dominant factor for light extraction because it extends almost completely across the active area to provide uniform current injection into the p-n junction. Furthermore, the refractive index difference between the sapphire ($n \sim 1.8$) and the III-nitride epitaxial layers ($n \sim 2.4$) results in a large portion of the light generated from the active region being totally-internally-reflected at the sapphire/III-nitride interface. The amount of light trapped in this waveguide is $\sim \cos((1.8/2.4)^2) = 66\%$ of the total generated light, for isotropic emission from the active region. This light is trapped and guided laterally along the device towards the sides of the die, as illustrated in Figure 5. While Figure 5 shows a conventional (epitaxy-up) structure, the waveguiding effect is present whether the die is epitaxy-up or inverted. However, because of absorption by the p-electrode, most of the waveguided light is lost before escaping the device. For this reason, extraction efficiency is very sensitive to p-electrode absorption as shown by the data plotted in Figure 4. This is especially significant in large-area, e.g. $> 400 \times 400 \mu\text{m}^2$, die since the number of passes at the p-electrode before escape is very large. The n electrode is also an optical loss mechanism, but is less significant because it covers less device area.

The ray-trace modeling results shown in Figure 4 suggest that inverted die designs having Ni and/or Au electrodes provide extraction efficiencies from 38 to 47% ($\lambda = 505 \text{ nm}$). Conventional epitaxy-side-up devices with semi-transparent NiAu electrodes have an extraction efficiency of 43%. Hence, a Ni and/or Au p electrode in an inverted device does not provide significantly improved extraction efficiency relative to the conventional design.

For an Ag p-electrode, however, the inverted die exhibits a $\sim 1.7\times$ gain in extraction efficiency over the conventional device. As shown explicitly in Figure 4, to provide increased light extraction beyond a prior art device, the p electrode absorption in an inverted device should be less than 35%. Preferably, the p electrode absorption is less than 25%. While Figure 4 is plotted for the case of 505 nm, the trend in extraction efficiency vs. p-electrode absorption is true regardless of wavelength. It is also important to point out that, while reflectivity is a prime consideration, so also is contact resistance. Poor contact resistance in the p electrode can result in a device with excessively high series resistance and thus reduced light generation capability as described by Equation 3. For $350 \times 350 \mu\text{m}^2$ devices, a typical series resistance is $\sim 30 \Omega$, corresponding to a device resistivity on the order of $4 \times 10^{-2} \Omega \text{ cm}^2$. The p contact resistivity should be much less than this to minimize its contribution to the series resistance. In the present invention, the p specific contact resistivity is preferably less than $10^{-2} \Omega \text{ cm}^2$.

The combination of low optical absorption and low contact resistivity in a manufacturable process are difficult to achieve for III-nitride devices. For example, Ag makes a good p-type Ohmic contact and is very reflective, but suffers from poor adhesion to III-nitride layers and from susceptibility to electro-migration in humid environments which can lead to catastrophic device failure. Al is reasonably reflective but does not make good Ohmic contact to p-type III-nitride materials, while other elemental metals are fairly absorbing ($> 25\%$ absorption per pass in the visible wavelength regime). A possible solution is to use a multi-layer contact which includes a very thin semi-transparent Ohmic contact in conjunction with a thick reflective layer which acts as a current spreading layer. An optional barrier layer is included between the Ohmic layer and the reflective layer. One example of a p-type multi-layer contact is Au/NiO_x/Al. Typical thicknesses for this metallization scheme are 30/100/1500 Å. Similarly, a suitable n-type GaN multi-layer contact is Ti/Al with typical thicknesses of 30/1500 Å.

Since the p-electrode reflectivity is a dominant factor in extraction efficiency, it must not be compromised in designing for manufacturability. Even though on-wafer testing of inverted III-nitride LEDs is made difficult by the opaque sheet metallization, methods for such testing must not require degrading the reflective nature of the p electrode. For example, openings or semi-transparent regions inserted in the p electrode to allow light to escape upward during on-wafer testing only serve to degrade the efficiency of the finished device, by effectively reducing the p electrode reflectivity. Other methods that do not compromise the p-contact reflectivity should be used.

The present invention provides for a large-area, e.g. $> 400 \times 400 \mu\text{m}^2$, high-power LED with maximum light generating capability by reducing the thermal resistance from the p-n junction to the lamp package while increasing light extraction. To accomplish this, the present invention uses an inverted structure employing a low resistivity, opaque, highly reflective p-electrode. A first embodiment is shown in Figures 6a-b.

In the cross-sectional view shown in Figure 6b, the device includes an III-nitride epitaxial heterostructure n-type and undoped layers 11 and p-type layers 12, each in contact with an active region 13. The III-nitride layers 11 are optionally attached to a transparent superstrate 10. The superstrate 10 can be the growth substrate for deposition of the III-nitride layers. In the plan view of the bottom of the LED die shown in Figure 6a, the large area of the device ($> 400 \times 400 \mu\text{m}^2$) requires n-electrode 22 "fingers" interposing the p-electrode metallization 20 to spread current uniformly throughout the device. Such an electrode configuration is required in large-area devices to provide a low series resistance (to overcome the low conductivity III-nitride layers) and thus provide a high maximum drive current as specified in Equation 3. Thus, the interposed n-electrode configuration is required for large-area devices for maximizing total light generation capability. The device is inverted so that light may be taken out through the transparent superstrate 10 as well as the sidewalls and provides good extraction efficiency by using a highly reflective, thick p-electrode metallization 20. The reflectivity of the p-electrode is such that its absorption at the LED emission wavelength is less than 25% per pass, as described above. The electrode metallizations connect to submount electrodes 52 on a submount substrate 50 via interconnects 60. The interconnects make electrical connection between the LED and the submount while providing a thermal path for heat removal from the LED during operation. Although the illustrated embodiments refer to solder, the interconnects may be made of elemental metals, metal alloys, semiconductor-metal alloys, solders, thermally and electrically conductive pastes or compounds (e.g., epoxies), eutectic joints (e.g., Pd-In-Pd) between dissimilar metals between the LED die and submount, Au stud-bumps, or solder bumps.

The interconnects are attached to the LED and submount via conductive interfaces 41, 54. When solder is used as the interconnect, the conductive interfaces are wettable metals. An application process initially determines the interconnect thickness and area. One applicable technique is a screen-printing process where paste is applied to select areas on the submount wafer or LED. Other techniques include electro-plating, lift-off, and reflow. For an embodiment using solder as the interconnect, the final interconnect

thickness and area are determined by the solder volume as well as the wettable metals 41 on the LED die and 54 on the submount. The solderable areas on the LED are defined through patterning of the wetting metals, or through vias in a patterned dielectric passivation layer 42 provided on the LED die. The dielectric passivation 42 layer acts as an electrical isolation layer between the p and n electrodes and is required since the solder layers 41 extend across both p and n electrodes. The solderable areas on the submount are similarly defined by patterning the solderable metals 54. In an alternate embodiment, the wettable areas of the metallization 54 may be defined by a patterned dielectric layer. A second set of solderable metal layers 55 may be deposited on the back of the submount for attachment to the package. Optionally, a suitable solder can be deposited directly on the back of the submount. Because the thermal conductivity of any underfill material between the LED and submount is very low, e.g. $<2.0 \text{ W/mK}$, the junction-to-package thermal resistance is largely governed by the die/submount solder joint and the submount material and geometry. Assuming heat generation at the p-electrode metallization and one-dimensional flow and ignoring the thermal resistances of thin layers and the submount-package solder joint, the junction-to-package thermal resistance may be written as

$$\Theta_{jp} = (t_s/\rho_s + t_{sm}/\rho_{sm}) / A_s \quad (\text{dielectric ignored}) \quad (7)$$

where t_s and t_{sm} are the thicknesses, and ρ_s and ρ_{sm} are the thermal conductivities, of the solder and submount, respectively, and A_s is the total cross-sectional area of the solder. As shown in Equation 6, the solder area, A_s , controls thermal resistance. Hence, it is desirable to cover the entire surface of the LED die with the solder. This is not possible as electrical isolation is required between the p and n electrode regions of the LED. Also, the width of this gap between the n and p solderable metals must account for tolerances in die attaching to the submount. Even so, the embodiment in Figure 6a provides $\sim 85\%$ solder coverage (defined as the ratio of solderable metal area 41 relative to the p electrode area 20).

An alternate embodiment to that shown in Figures 6a-b includes a sheet reflector that comprises a portion of the p electrode 20 and extends beneath portions of the n electrode 22. An intermetal dielectric is formed between these regions of the n-electrode and the sheet reflector. The intermetal dielectric provides electrical isolation between the n and p electrodes in these regions. Other portions of the n electrode are not covered by the dielectric, to allow electrical connection to the submount. This embodiment reduces light leakage downward through gaps in the

LED metallization, compared to the embodiment shown in Figures 6a-b, by reflecting this light upwards.

The interconnect between the LED and submount is made when the solder is placed in a reflow oven at a temperature above the solid temperature of the solder alloy. During reflow, capillary forces and surface tension tend to align solderable metal areas to the solder sheets. This allows for some self-realignment of the LED die to the submount wafer. This self-realignment can be exploited through the use of a fast die-attach machine, allowing one to trade-off initial die-attach accuracy for speed. Further breaking up each p and n solder sheet into multiple sheets can improve self-realignment. In Figure 7, the embodiment shows the p and n solder pads 41 in pairs. The gaps between the solder sheets are determined by the accuracy of the die-attach machine. The embodiment of Figure 7 has superior self-realignment characteristics in the x and y directions while the embodiment of Figure 6a has predominantly self-realignment characteristics in the y direction.

In Figure 8, the alternate embodiment shows the solderable metals 41 as solder "bars" of equal area. This design has the benefit of good self-realignment along with uniform wetting of the solderable metals during reflow. Uniform wetting occurs because the forces applied between the die and submount are proportional to the area of solder wetting. Uniform wetting is achieved by using a wettable metal pattern that consists of regions of equal area. Uniform wetting prevents the LED die from tilting during reflow and the subsequent cool-down. Maintaining a planar LED attach process means the LED die is less likely to undergo failure mechanisms, e.g. shorting of the p-n junction, which may emerge in the case where portions of the LED die are in close proximity to metallized areas on the submount. Also, the non-tilted LED die orientation provides improved light coupling to the other optical components in the LED lamp or system.

In Figure 9, another embodiment shows the n region solderable metal changed to pads for solder "bumps". The wafer fabrication process is simplified since isolation between the n and p electrodes are no longer required in the vicinity of the n solder pads hence eliminating the need for the dielectric passivation layer 42. The solder bump fabrication is an industry-standard practice, allowing solder connections at the n electrodes to be provided through well-established manufacturing techniques.

In an alternate embodiment, the plan and cross-sectional views shown in Figures 10a and 10b respectively, the entire solder attach interface is provided by solder pads for bumps. To minimize thermal resistance, the number of bumps is maximized to increase

the final cross-sectional solder joint area, while minimizing the final solder thickness. The number of bumps is dictated by the state-of-the-art in solder bump formation which puts limits on solder-bump pitch for a given bump diameter. A typical pitch is 200 μm for 100 μm diameter bumps. For a 1 mm² die, five rows of 100 μm diameter bumps are feasible. In Figure 10a, one row is two bumps for the n pads. The n-electrode fingers limit the number of bump rows along the p-electrode metallization to four. In this design, the solder area cross-section is maintained to be at least 15% of the area of the p-electrode. The solder area coverage may be increased by expanding the wettable metal surface area beyond the small vias required for individual bumps. For example, the wettable metal pattern on the LED die may consist of bars, shown in Figure 8, while the solder bumps on the submount are still in the form of a 4x4 array for the p-electrode plus two for the n-electrode. Figures 11a and 11b show cross-sectional views of this embodiment. Figure 11a shows an embodiment that includes vias within a patterned dielectric 42 for solder pads 41 on the LED die. Likewise, a patterned dielectric 53 is provided with vias for solder pads 54 on the submount. In the embodiment shown in Figure 11b, the solderable metal 41 on the LED die is made larger than the solder bumps in order to allow the solder to spread out and wet an area much larger than their individual diameters would provide. This results in a solder area coverage in excess of that of the sum of the individual bumps in Figure 11a. Also, the solder thickness is effectively reduced. Both of these effects reduce the thermal resistance of the solder junction and allow the LED die to be driven to higher current densities for increased light output.

It is further possible to form the solder into arbitrary shapes other than bumps to match the wettable metal patterns on the LED to provide for a device with excellent thermal contact to the submount, shown in Figures 12a-b. Figure 12a shows a plan view of the bottom of the LED. Solderable metals 41 are patterned on the p-electrode 20 and n-electrode 22 metallizations, defining wetting areas for the solder during reflow. Alternatively, the wetting areas may be defined by a dielectric passivation layer 42 as shown in Figs. 6-8. Figure 12b shows a plan view of the submount. While the lateral submount geometry is arbitrary, a hexagonal design is shown. The submount includes a substrate 50, e.g. Si. An optional dielectric layer 51, e.g. SiO₂, may be included for electrical isolation between the LED die and the submount substrate. Alternatively, the submount substrate may be electrically connected to the LED die for integration with electronic circuits fabricated into the submount substrate. Metallization 52, e.g. Ag or Al, is provided as a reflector for downwardly emitting light from the LED die as well as for

wirebonding. A break in the metallization 52 is provided to electrically isolate the p and n regions of the LED die after attachment. Solderable metals 54 are patterned on top of the wirebond metallization 52 to define wetting areas for the solder during reflow. These patterns match those of the solderable metallization 41 on the LED die. As for the LED die, the wetting areas on the submount may be defined by a dielectric passivation layer 53 as shown in Figure 10b. Solder material 60 is deposited on the submount solderable metallization 54. Alternatively, the solder material 60 may be deposited on the LED die. The edges of the solder may be recessed slightly from the edges of the solderable metal patterns 54. Control over the solder layout, defined by the wetting areas 41 and 54 and solder pattern 60, depends upon the solder application process. It is preferable that as much of the p-electrode 20 as possible is covered with solder after reflow. The wetting areas in Figures 12a-b provide ~66% coverage of the p-electrode 20 with solder. While the solder layout in Figures 12a-b is comprised of bars, arbitrary patterns are certainly possible and allow for further increase in solder area coverage of the p-electrode.

A suitable interconnect between the LED and submount can allow the maximum operating temperature of the LED to be increased beyond 130°C, the typical maximum rating. This is the case when the interconnect is thermally stable at temperatures greater than 130°C. In the case of solder, therefore, it is desirable to use high-temperature solders, e.g. 95/5 Pb/Sn, AuSn, AuSi, and AlSi, for this interface. A high-temperature interconnect raises the maximum junction temperature of the LED and provides a significant increase in maximum driving current and thus light generating capability.

It is important to maintain the integrity of the p electrode during solder reflow. That is, the reflectivity and contact resistance of this layer should not be degraded by the presence of solderable metal layers or the solder itself. Such degradation may be caused by metal intermixing between the p electrode and the solderable metal layers, or by strain-induced effects such as delamination. For this reason, it may be necessary to provide barrier layers between the p electrode and the solderable metals. Suitable barrier layers include, but are not limited to, Ni, Cr, Cu, and Ti.

For large LED die dimensions, the difference in the coefficient of thermal expansion (CTE) between the LED die, the submount, and the casing, may cause fatigue and eventual failure at the LED/submount attach interface under thermal cycling stress conditions. The CTE problem is most likely to occur for large sheet-solder attach designs than for smaller sheets (or bars or bumps). Therefore, smaller solder shapes may be a preferable method for attaching large LED die. Also, thicker solder sheets or taller solder bumps may provide

more compliance between the LED and submount, reducing the risk of failure. The trade-off here between minimizing thermal resistance and the onset of CTE problems results in an optimum solder attach design for a given LED die size. For a 1 mm^2 die and 15% solder area coverage, the solder thickness may be as little as $20\text{ }\mu\text{m}$ without causing failures during temperature-cycling stress conditions.

Light extraction of the LED can be increased by providing a textured surface at one of the interfaces of the III-nitride heterostructure. The texturing may be random or ordered. This is illustrated in Figures 13a-c. Figure 13a shows an inverted device employing a sapphire superstrate. The large refractive index mismatch ($n \sim 0.6$) between the sapphire superstrate and the III-nitride epitaxial layers results in a large portion of the light generated from the active region to be totally-internally-reflected at the sapphire/III-nitride interface. This light is trapped and guided laterally along the device towards the sides of the die. However, because of the many loss mechanisms present in the III-nitride epi layers and electrodes, most of the waveguided light is lost before escaping the device. In Figure 13b, the interface between the III-nitride heterostructure and the sapphire superstrate is textured in order to scatter light out of the III-nitride layers. This reduces the mean photon path-length within the heterostructure and reduces the effect of internal absorption, thus improving light extraction. A similar effect can be achieved by texturing the bottom surface of the III-nitride heterostructure, or at one of the interfaces within the heterostructure. Multiple interfaces may be textured in combination to further increase light extraction.

In an alternate embodiment, light extraction is improved by providing an inverted die configuration which includes a high-refractive-index (HRI) ($n > 1.8$) superstrate that has a closer index match to the III-nitride layers ($n \sim 2.4$) than sapphire ($n \sim 1.8$). A closer index match to the III-nitride layers making up the light generating regions allows more light to be coupled into the thick superstrate and allows light to escape into the ambient before absorption at one of the many loss mechanisms present in and around the III-nitride epitaxial layers. Figure 13c illustrates such an embodiment, wherein a SiC superstrate is used. The refractive index of SiC is ~ 2.6 and is much closer matched to GaN than sapphire is. Thus, there is very little probability for total internal reflection and consequently no waveguide is formed within the III-nitride layers. Virtually all light generated from the active region is coupled into the superstrate and has a high probability for escape through one of the five exposed superstrate surfaces. Even with an HRI superstrate, further

improvement in light extraction can be gained by texturing one or more interfaces of the III-nitride heterostructure.

To derive full benefit of a HRI superstrate, the superstrate must be substantially transparent with very little absorption. Thus, for SiC, the superstrate should be lightly doped or not doped at all, and the growth method should provide a superstrate relatively free of impurities to provide a very low loss optical window for the LED device. For 6H SiC, this is generally the case when the resistivity is greater than $0.5 \Omega\text{cm}$. The effects of absorptive loss within SiC are quantified in Figure 14, where extraction efficiency (normalized to a device using a sapphire superstrate) is plotted as a function of distributed loss (absorption coefficient, in cm^{-1}) within the SiC superstrate. These results are obtained by ray-trace modeling of the LED device structures. Three different thicknesses of SiC are shown. For a SiC superstrate $\sim 100 \mu\text{m}$ thick, the absorption coefficient should be less than 3 cm^{-1} . For thicker substrates, the absorption coefficient must be lower. In the case of a lossless SiC superstrate, the extraction efficiency gains are greater than 1.2x over earlier embodiments within the present invention.

There are many HRI superstrates suitable for improving the light extraction efficiency of a III-nitride LED. In addition to SiC in its many different polytypes (2H, 4H, 6H, both c- and a-axis, 3C, etc.), other materials such as ZnS, ZnSe, YAG, or ZnO, may be used. The HRI superstrates may serve as growth substrates for the III-nitride epi layers or may be attached to the III-nitride epi layers by bonding or a second growth step.

Significant benefit to extraction efficiency may be obtained by providing a light-randomizing surface at one or more of the faces of the HRI superstrate as well on or within the III-nitride heterostructure. Such surfaces are provided naturally on device sidewalls by sawing, for example, or may be achieved by other means, e.g. etching. Also, the superstrate may be shaped to provide for improved extraction efficiency as shown by Krames et. al. in Appl. Phys. Lett. 75, pp. 2365-2367. One such shape is an inverted pyramid design, such that the top surface of the superstrate has a surface area larger than that of its bottom surface. This embodiment is illustrated in Figure 15.

The submount can provide functionality and affect performance. Because it is in the thermal path for heat removal from the LED, the submount material should have high thermal conductivity. Suitable materials include Si, AlN, or BeO. The submount should be relatively thin to reduce thermal resistance. For example, a Si submount should be less than $250 \mu\text{m}$. Si is attractive as a submount material because of its good thermal conductivity, $\sim 100 \text{ W/mK}$, and capability for integrated electronics. The submount may

provide an electrical isolation between the LED and the package. In this case, two connections for the anode and cathode are required on the top surface of the submount to the package leads. Alternatively, if electrical isolation of the package is unnecessary and if the submount is conductive, one electrode can be contacted through the submount to the package. Then only one interconnect is required from the top of the submount to the opposing lead. The top surface metallization of the submount should be wire bondable and also reflective, to redirect downward travelling light upwards with high efficiency. Hence, Ag and Al are suitable choices for the submount top surface metallization.

The submount shape, as well as the specularity of the reflective metallization atop the submount, can impact the optics in an LED lighting system by affecting the apparent source size of the LED. Most LEDs require a reflector cup to redirect light emitted predominantly laterally from the die upwards and within the useful radiation pattern. The larger this reflector cup must be, the larger the primary and any secondary lenses must be. Since optics costs are proportional to the volume of material required, it is desirable to minimize the reflector cup radius. The inclusion of a submount effectively increases the size of the LED die, because of the extra space needed for wirebond connections. Typical wirebond tolerances require that $\sim 400 \mu\text{m}$ material extends beyond the LED die for reliable wirebonding. Also, dicing the submount wafer requires $\sim 100 \mu\text{m}$ of space between neighboring LED die. These tolerances result in a significant effective increase in LED die size. For example, a $1 \times 1 \text{ mm}^2$ LED die would require a $1.8 \times 1.1 \text{ mm}^2$ area using a rectangular geometry for the submount. The largest extent of this submount is a diagonal equal to $(1.8^2 + 1.1^2)^{1/2} = 2.11 \text{ mm}$, which puts a lower limit on the diameter for the reflector cup. Instead, if the submount is shaped as a disk, the largest extent of the submount is merely 1.8 mm . Thus, a disk-shaped submount allows for a significant reduction in reflector cup diameter. Because circular cuts can be difficult to manufacture, other geometrical shapes which approximate circular disks are preferable. For example, hexagonal submounts may be fabricated by multiple-pass sawing (three passes instead of two) and are preferable to square or rectangular submounts. These ideas are illustrated in Figure 16. The reflective metallization on top of the submount should be as specular as possible, so as not to create a virtual source in the plane of the submount which is larger than the LED die. A virtual source size larger than the LED die would have a deleterious effect on the radiation pattern of the LED and require larger optics to correct.

The submount, shown in Figures 6b, 9b, and 12b, allows for electronic functionality within the LED. III-nitride devices are susceptible to electro-static discharge

(ESD) damage and may be protected by a power shunting element electrically connected to the LED as described in Antle et. al. US PATENT NO. 5,941,501. For the present invention, a Si submount may be embedded with circuitry for integrated ESD protection. In this case the protection circuits, e.g. a Zener diodes, are connected in parallel with the LED die. Alternatively, back-to-back Zener diodes may be fabricated in parallel with the LED die to allow the LED to be driven by alternating-current power supplies. Other electronic devices may be included within the submount, e.g. photodetectors for monitoring light output or resistors for monitoring current and/or voltage. These devices will allow an integrated system to provide closed-loop feedback control for maintaining constant light-output operation.

A submount provides for an LED based on multiple series-interconnected light-emitting diodes in a monolithic structure as shown in Figure 17a. The assembly has four serially connected LEDs that are electrically isolated via etching to remove III-nitride material to form a trench 80 between them. The etching proceeds to at least the undoped III-nitride layers. The electrical interconnections are provided by metallic traces 81 laid out on the submount (not shown). The solder metallization is designed so that the diodes are electrically connected to the submount metallic traces via the solder. The resulting device may be represented by the electronic circuit shown in Figure 17b. This device thus operates at 4x the voltage, and 4x less current, than a conventional LED of the same active junction area. For example, a 1 mm² conventional III-nitride LED may operate at 3.0 V and 350 mA. This same active junction area, broken up into four series-interconnected LEDs as shown in Figure 17a, provides a device operating at 12.0 V and 87.5 mA. This higher voltage, lower current operation places less demand on the electronic driver circuit for the LED. In fact, the electronic driver circuit can run at higher efficiency at higher voltages, improving the overall efficiency of the LED lighting system. This embodiment, a monolithic device, is preferred over a conventional approach of attaching individual LED die in series. In the conventional approach, the total area taken up by the LED die is increased because of the tolerances required by die-attach machines. This undesirably increases the optical source size of the total LED and requires an increase in subsequent optics sizes in the LED system. In the preferred embodiment, the diodes may be spaced as close together as allowed by the trench etching for electrical isolation. The trench width may be as small as a few microns, so that the packing density of diodes in the embodiment can be very high. As shown in Figure 18, the four 1 mm² LED die are monolithically fabricated and share a single superstrate and submount. The metal traces 81 on the

submount electrically connect the four LEDs in series. While each 1 mm² LED normally operates at 3V, the four serially-connected LED module in Figure 18 operates at 12V. The submount design is hexagonal to reduce the effective optical source size of the module. The trace metallization 81 is used for wirebonding for external connection and consists of a reflective metallization, e.g. Ag or Al.

Light extraction efficiency may be further improved by placing the active region layers near the highly reflective p-electrode. When the center of the active region is brought within approximately an odd multiple of quarter-wavelengths of light within the material ($\sim \lambda/4n$) from the reflective p-electrode, constructive interference of the downward and upward travelling light results in a radiation pattern that emits power preferentially in the upward direction. This enhancement is in a direction close to normal to the III-nitride/substrate and is not susceptible to total internal reflection back into the III-nitride epi layers. Alternatively, slight detuning of the resonance condition, by moving the active region slightly closer to (or farther from) the p-electrode reflector, may be preferred to optimize the light extraction improvement for total flux in all directions. For maximum efficiency in most applications, the distance between the active region and the p-electrode should be approximately one quarter-wavelength.

Figure 19 illustrates a process flowchart for fabricating the LED die. In step 91, a III-nitride heterostructure is deposited on a growth substrate. In step 92, contacts are applied to the III-nitride heterostructure, etching if necessary. The p-contact is opaque and electrically connected to the p-type layer while the n-contact is electrically connected to the n-type layer. In optional steps 93 and 94, an intermetal dielectric is applied over at least the n-contact in regions where the n-contact interposes the p-contact and a sheet reflector is applied respectively. In step 95, an optional barrier layer is applied to protect the contacts and reflector from solder. In step 96, solderable metals are applied. In optional step 97, the solderable metals are patterned. In step 98, dielectric is applied to define the solderable areas. In step 99, the dielectric is patterned. The LED die may be attached to the submount after step 97 or step 99.

Figure 20 illustrates a process flowchart for attaching the LED to the submount. In step 100, solder is applied to the submount wafer. In step 101, a joint is formed between the LED die and the submount. In optional step 102, underfill is dispensed between the LED die and the submount. In step 103, the submount wafer is separated. In step 104, the die and submount are attached to the package.

Alternatively, step 105 is completed in lieu of steps 100, 101, and 102. In step 105, solder is applied to the LED. In step 106, a joint is formed between the LED die and the submount wafer. In optional step 107, underfill is dispensed between the LED die and submount.

CLAIMS

We claim:

1. A method for fabricating an inverted light emitting device comprising the steps of:
depositing a III-nitride heterostructure on a growth structure;
forming a p and an n electrode, electrically connected to the respective contacting layer;
applying barrier layers;
preparing the III-nitride heterostructure; and
attaching a submount to the device.
2. A method, as defined in claim 1, wherein the step of attaching the submount includes:
applying solder to the submount wafer;
forming a joint between the III-nitride heterostructure and the submount wafer;
dicing the submount wafer; and
attaching the submount to the package.
3. A method, as defined in claim 2, wherein the step of attaching the submount further comprises the step of dispensing underfill between the III-nitride heterostructure and the submount wafer prior to the step of dicing the submount wafer.
4. A method, as defined in claim 2, wherein the step of forming a joint comprises the step of forming a eutectic bond between the III-nitride heterostructure and the submount.
5. A method, as defined in claim 2, wherein the step of forming a joint comprises the step of forming a solder joint between the III-nitride heterostructure and the submount.
6. A method for fabricating an inverted light emitting device, as defined in claim 1, wherein the step of attaching comprises the steps of:
applying solder to the III-nitride heterostructure;
dicing the submount wafer;
attaching the submount to the package; and

forming a joint between the III-nitride heterostructure and the submount.

7. A method, as defined in claim 6, further comprising the step of dispensing underfill between the III-nitride heterostructure and submount.

8. A method, as defined in claim 6, wherein the step of forming a joint comprises the step of forming a eutectic bond between the III-nitride heterostructure and the submount.

9. A method, as defined in claim 6, wherein the step of forming a joint comprises the step of forming a solder joint between the III-nitride heterostructure and the submount.

10. A method, as defined in claim 1, further comprising the steps of:
depositing an intermetal dielectric to electrically isolate the p and n-electrodes; and
applying a sheet reflector;
wherein the steps of depositing an intermetal dielectric and applying a sheet reflector precede the step of applying barrier layers.

11. A method, as defined in claim 1, wherein the step of preparing the III-nitride heterostructure comprises the steps of:
applying solderable metals to the III-nitride heterostructure; and
patterning the solderable metals.

12. A method, as defined in claim 11, further comprising the steps of:
applying a dielectric; and
patterning the dielectric.

13. A method, as defined in claim 1, wherein the step of preparing the III-nitride heterostructure comprises the steps of:
applying solderable metals to the III-nitride heterostructure;
applying a dielectric; and
patterning the dielectric.

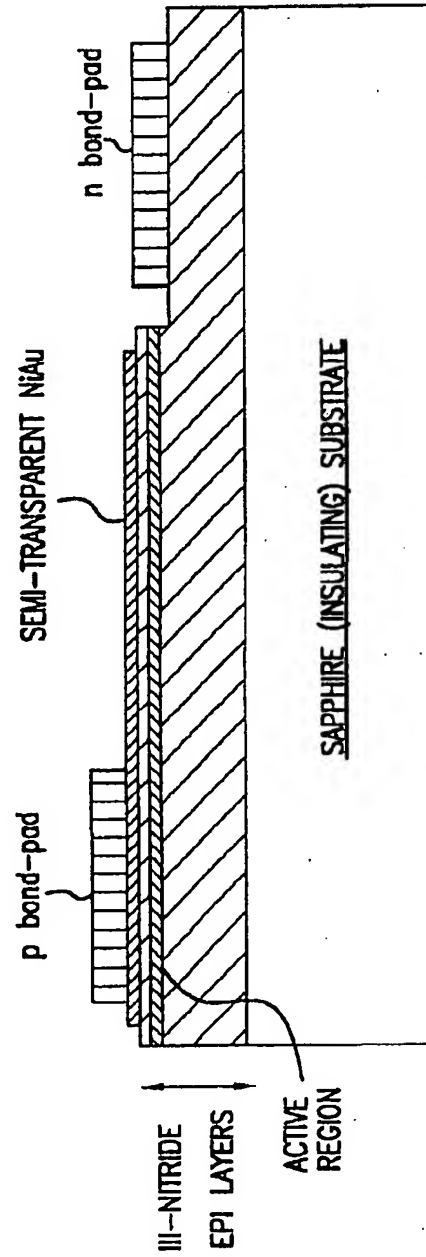


FIG.1
PRIOR ART

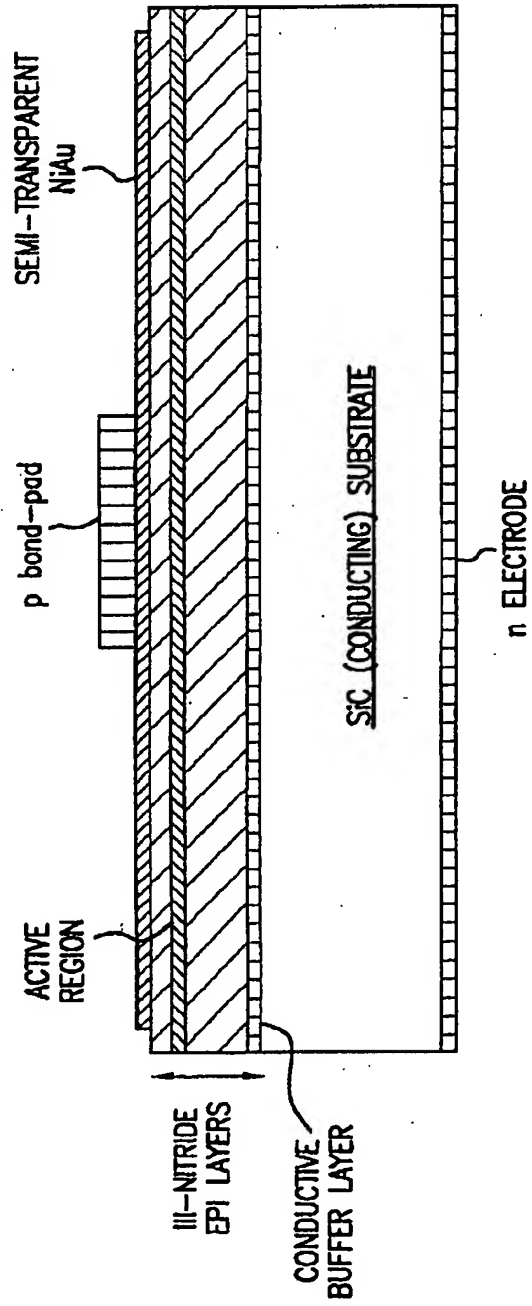


FIG.2
PRIOR ART

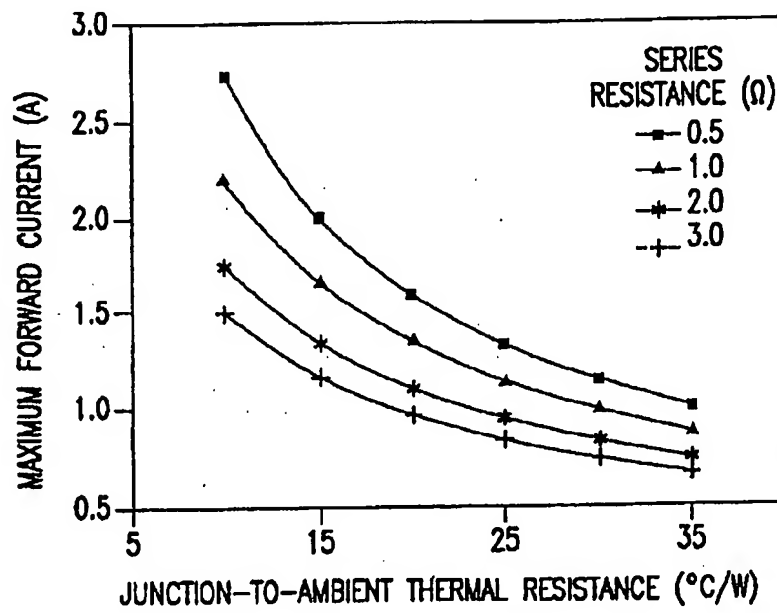


FIG.3

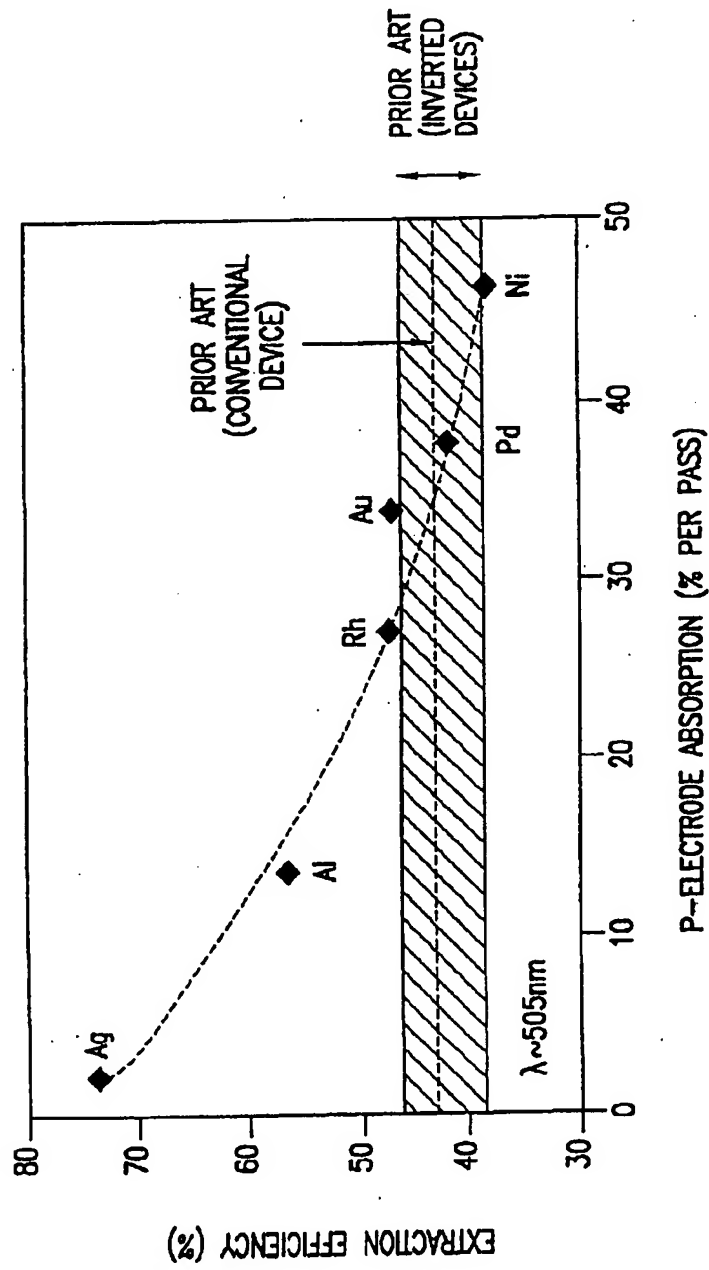


FIG.4

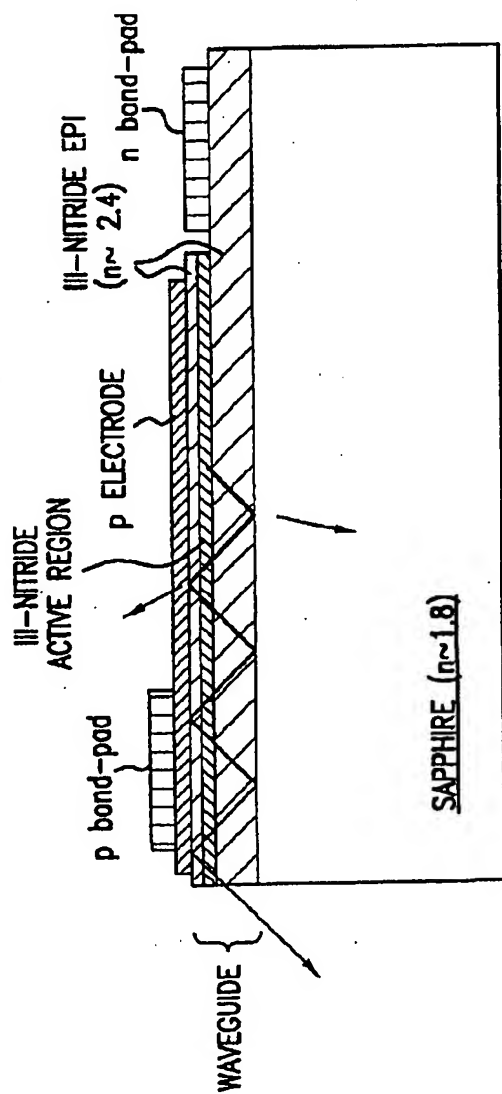


FIG.5
PRIOR ART

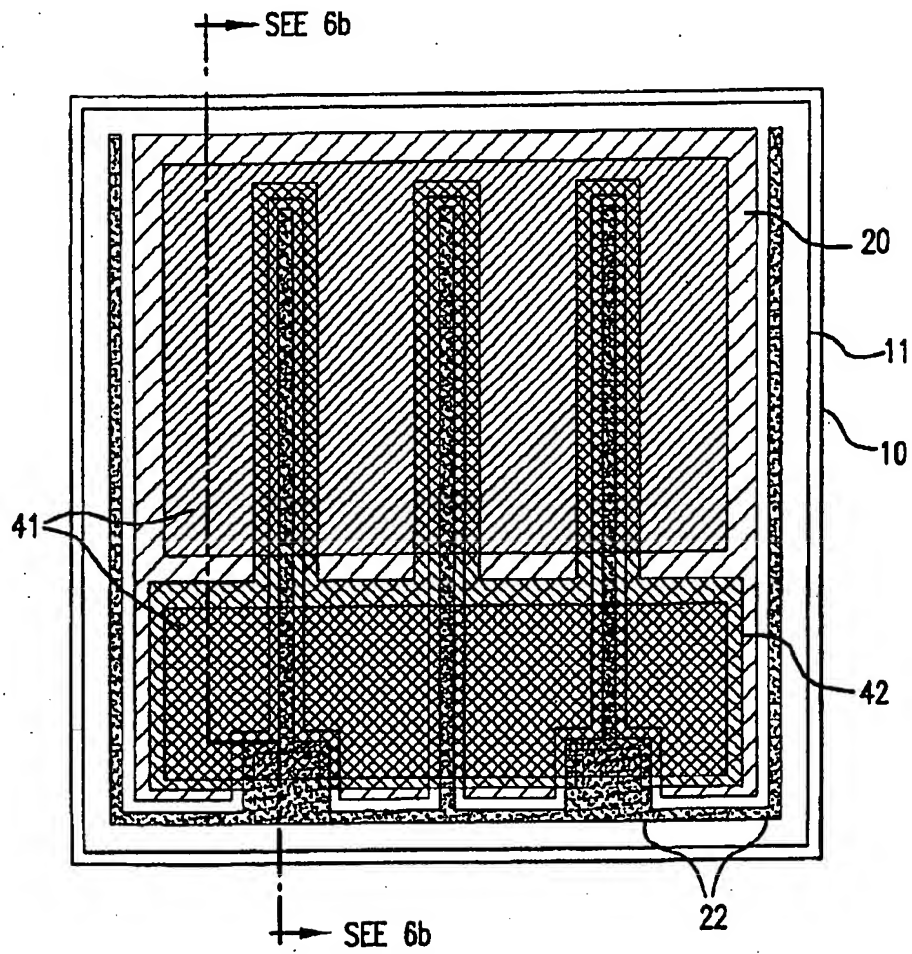


FIG. 6(a)

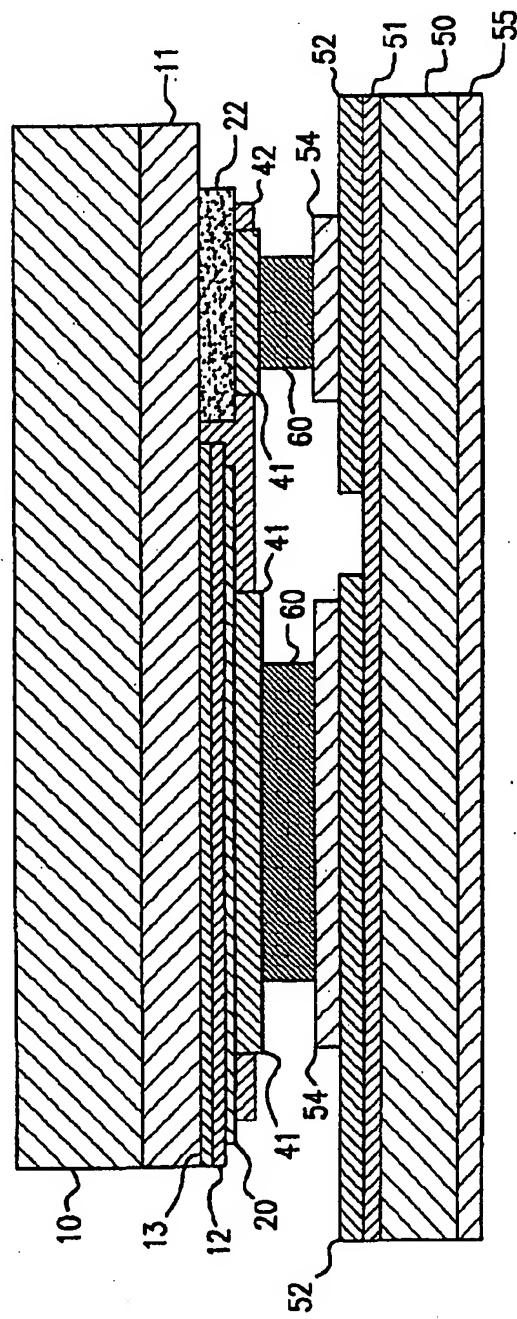


FIG.6(b)

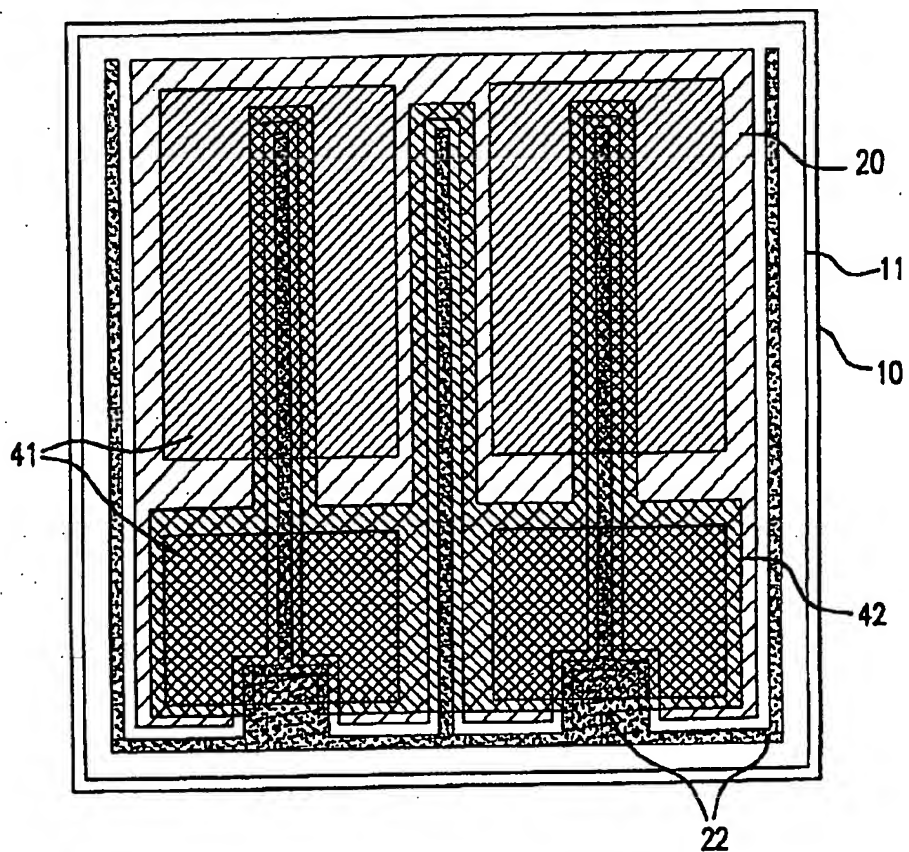


FIG.7

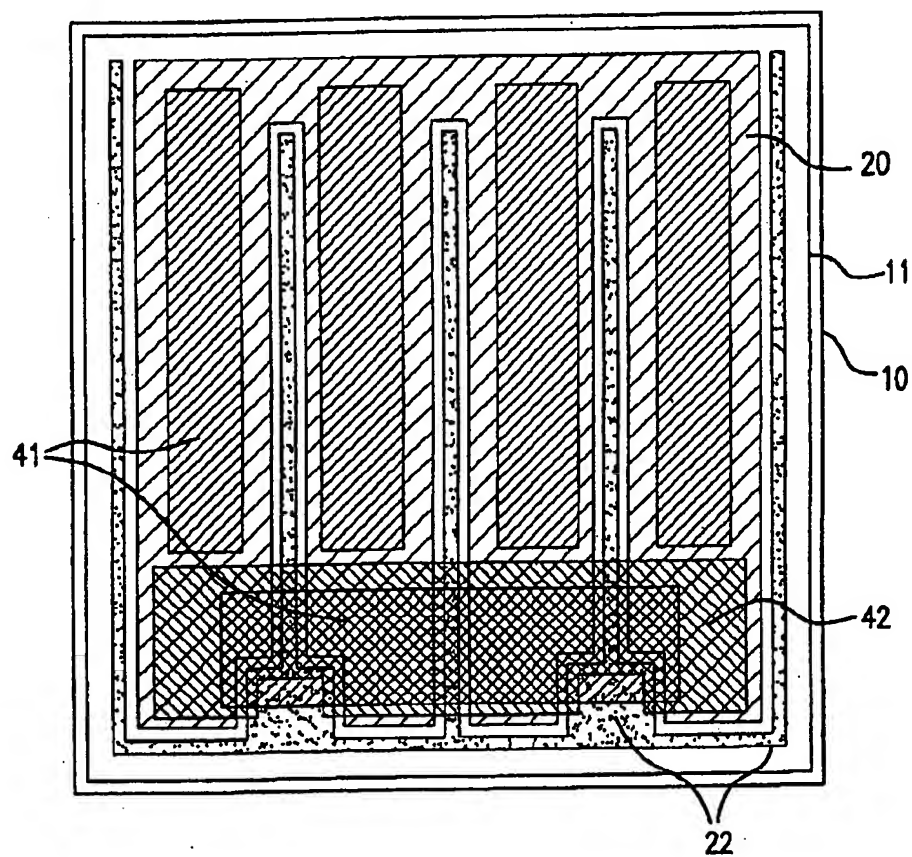


FIG.8

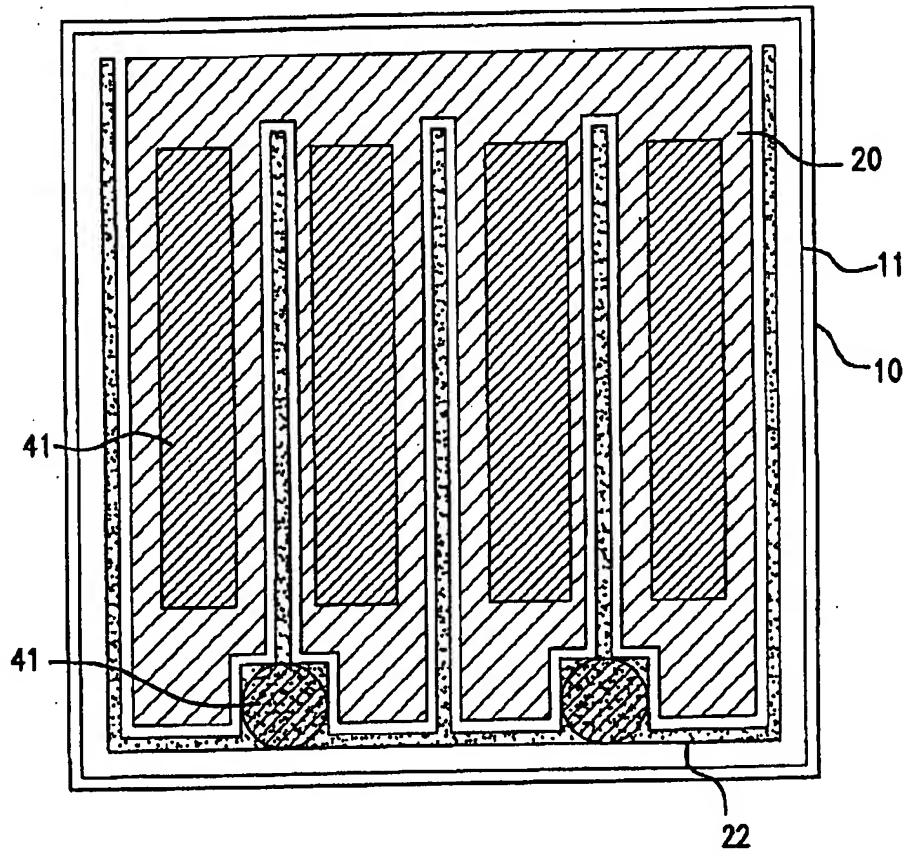


FIG.9

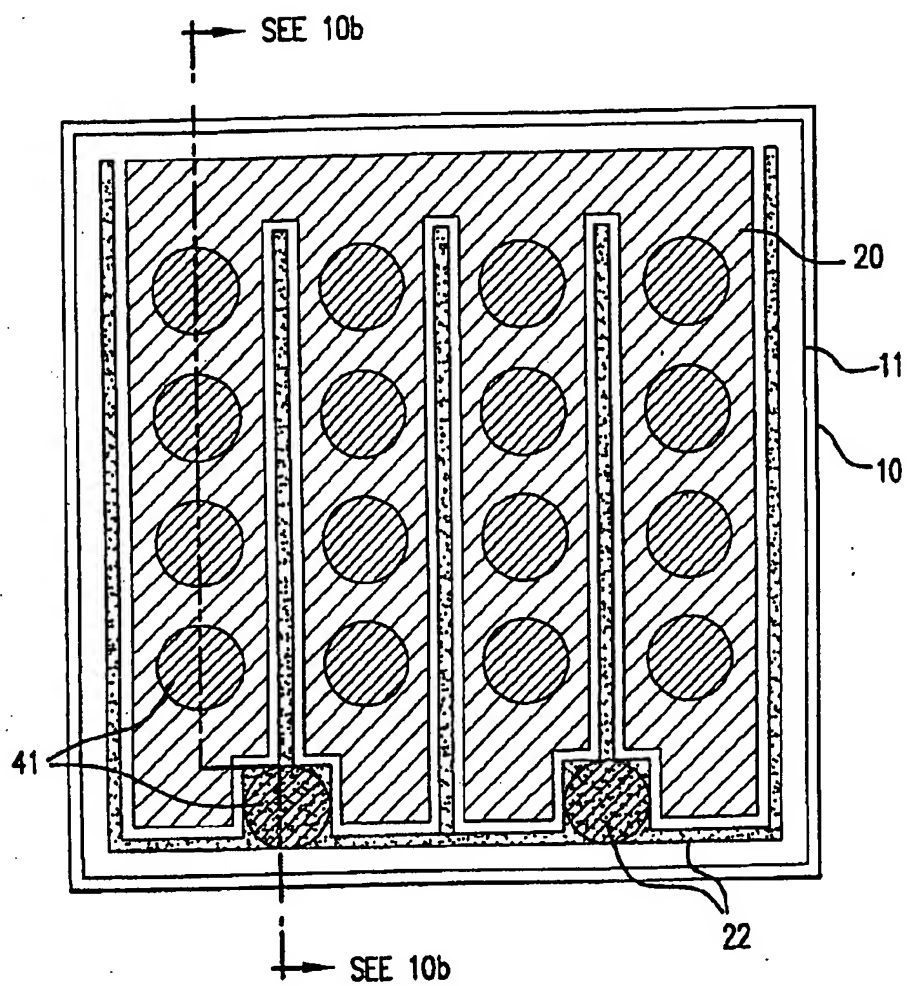


FIG.10(a)

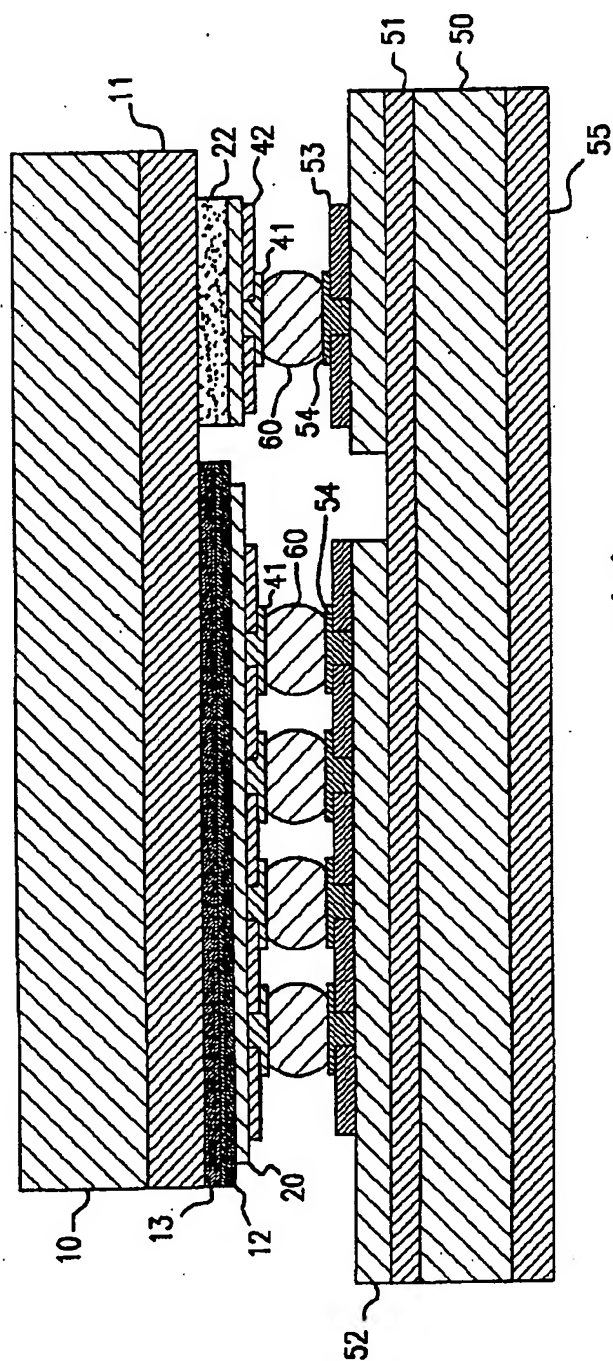


FIG.10(b)

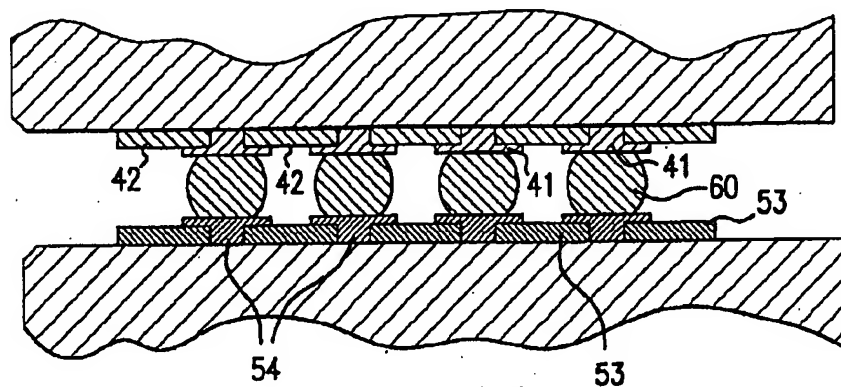


FIG.11(a)

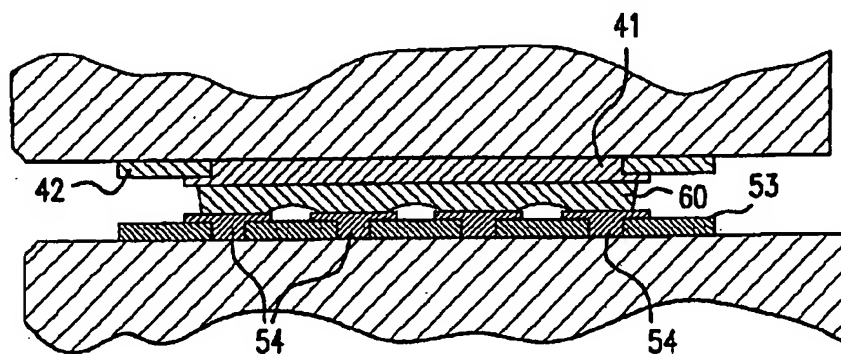


FIG.11(b)

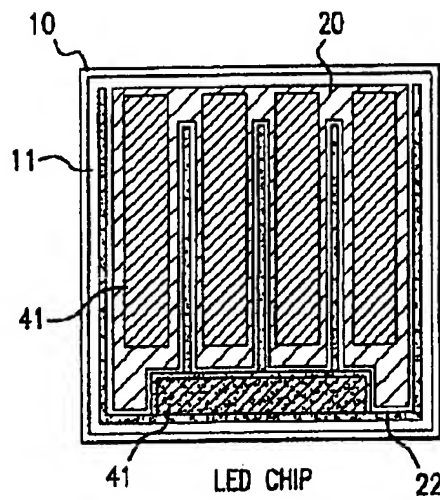
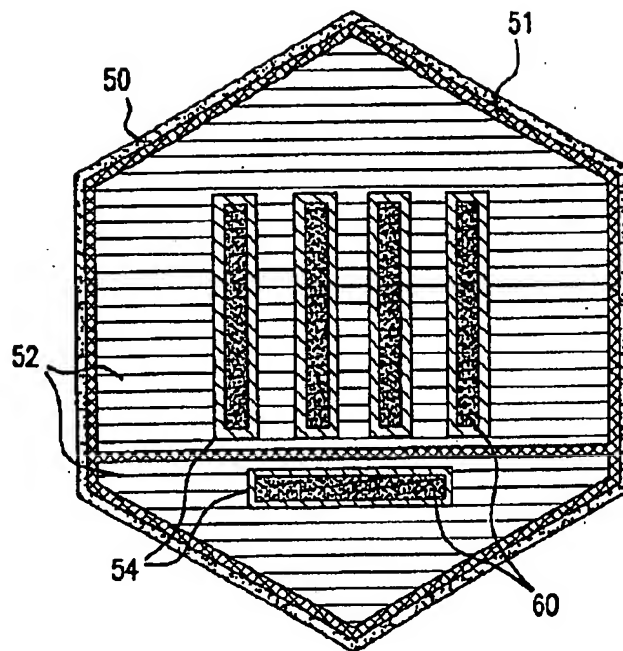


FIG. 12(a)



SUBMOUNT

FIG. 12(b)

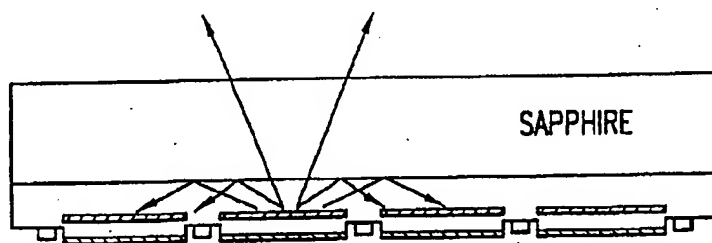


FIG.13(a)

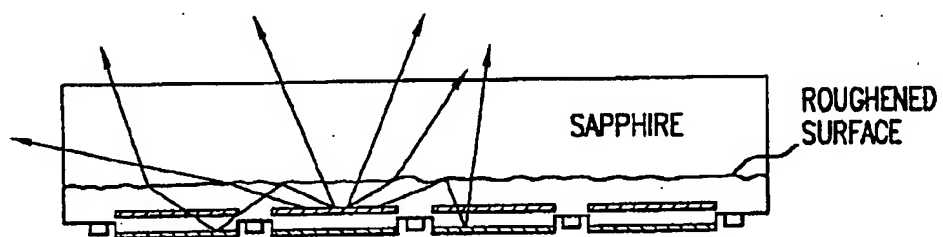


FIG.13(b)

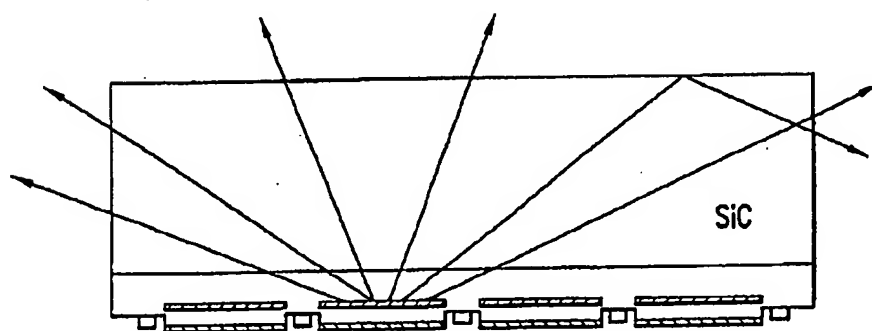


FIG.13(c)

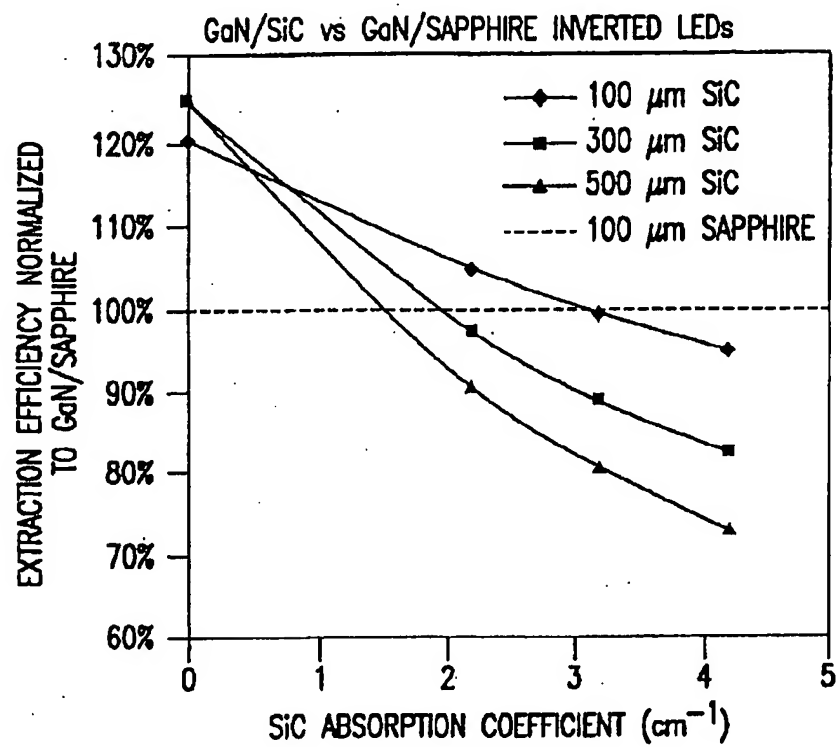


FIG.14

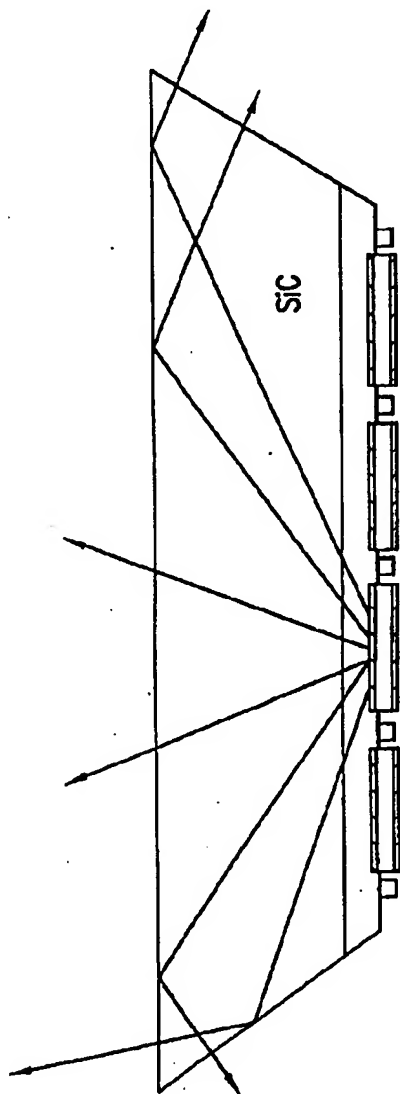


FIG.15

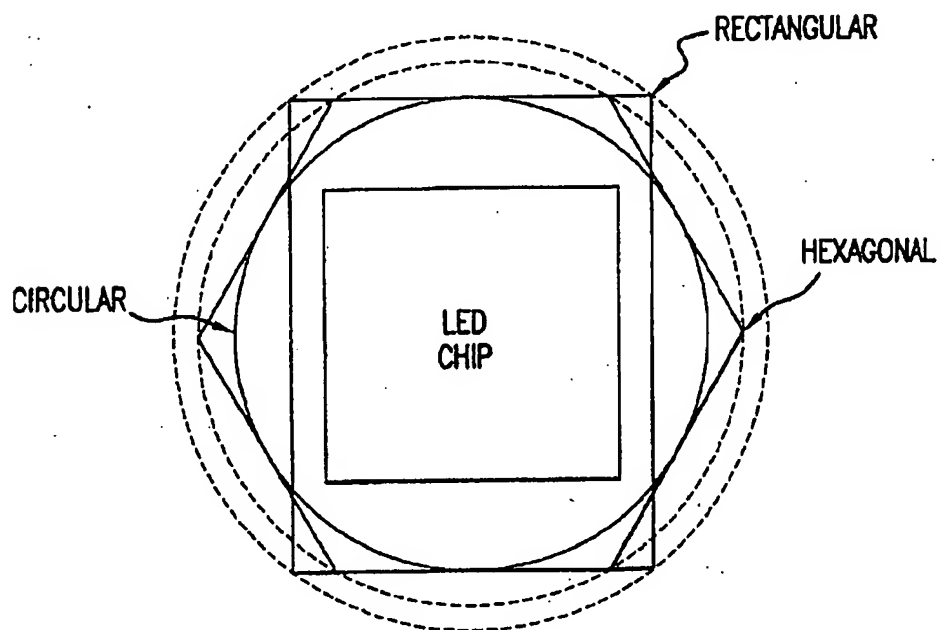


FIG.16

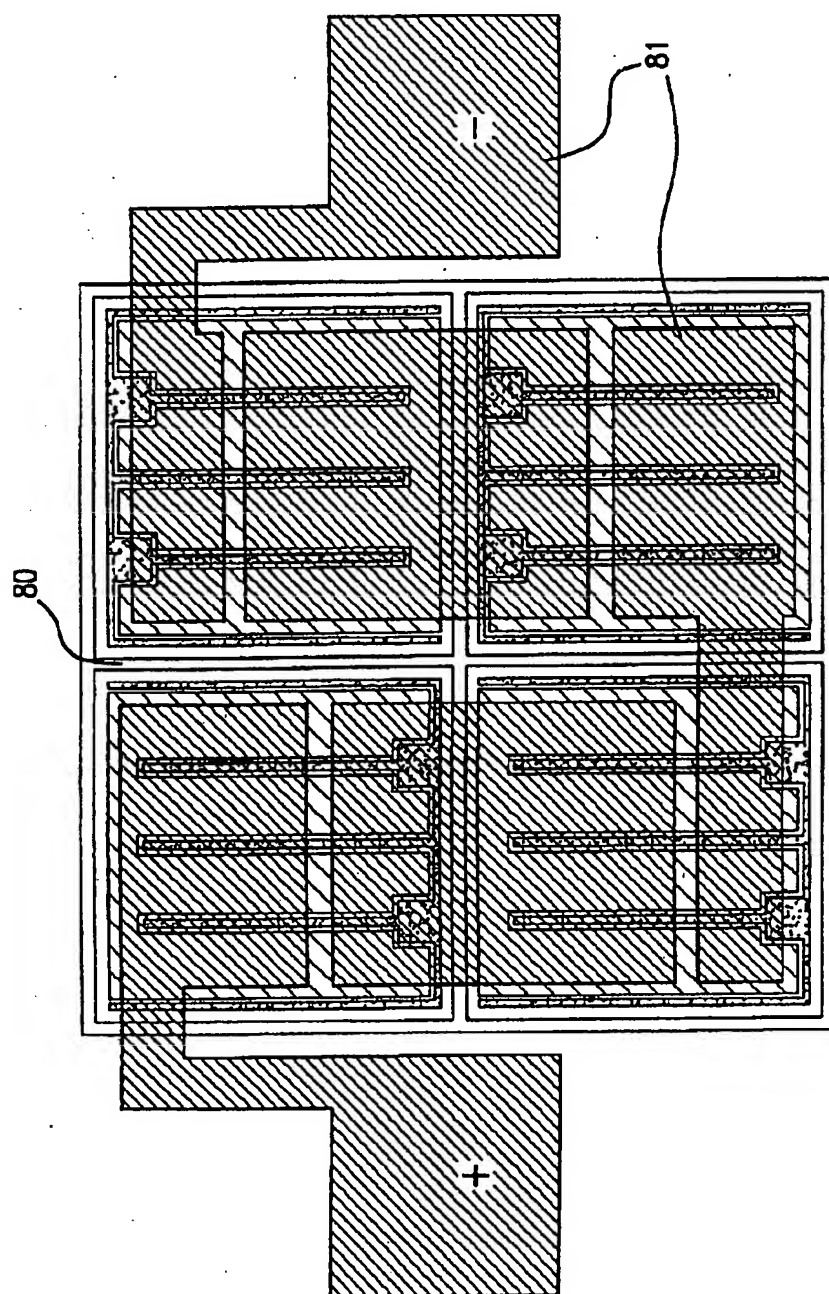


FIG. 17(a)

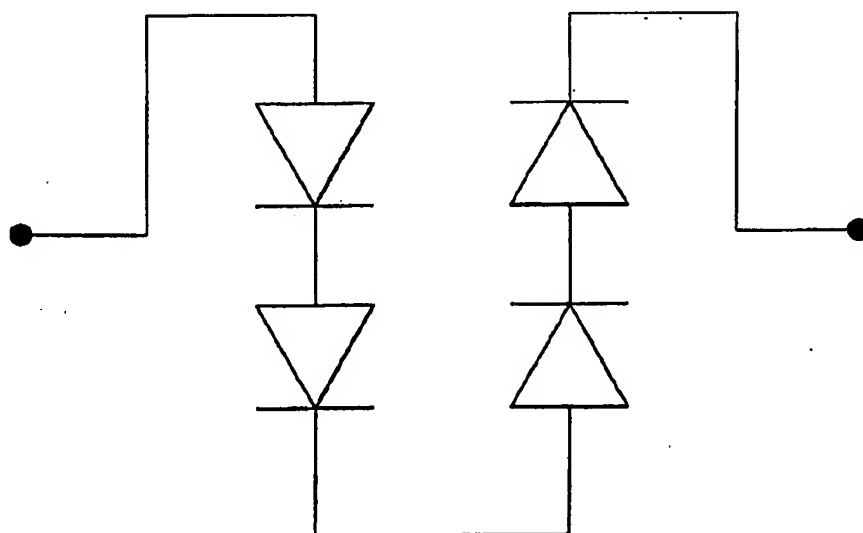


FIG.17(b)

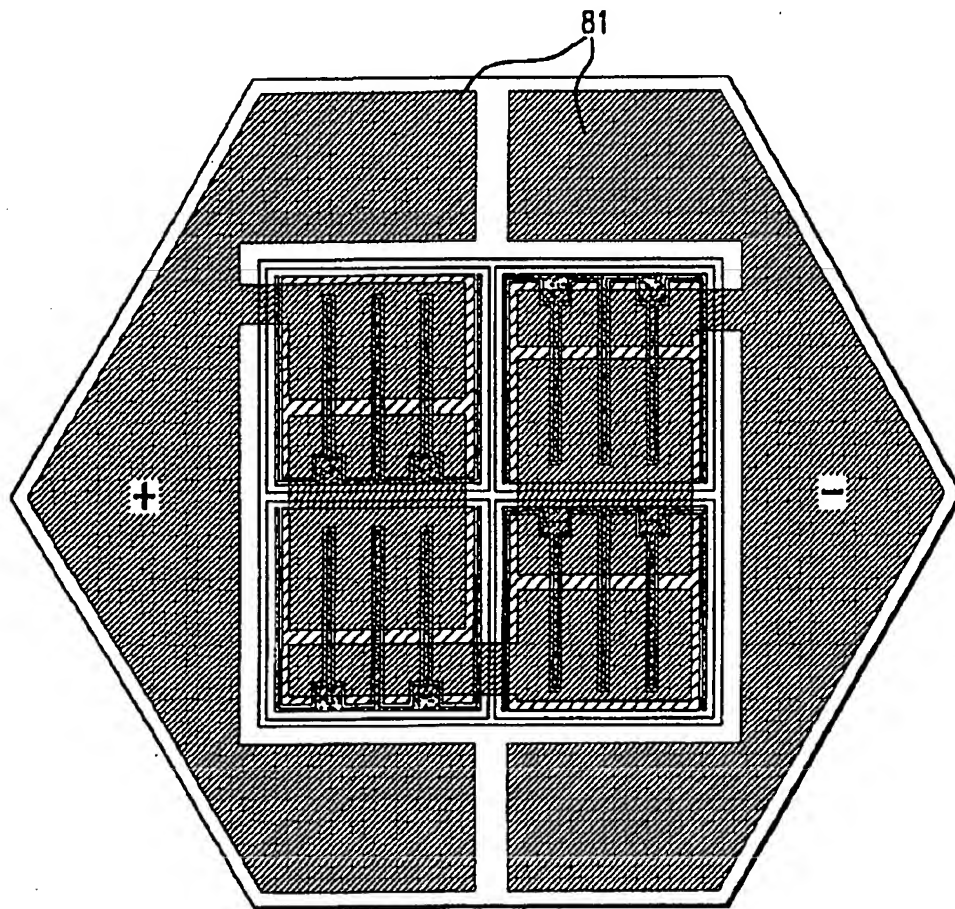


FIG.18

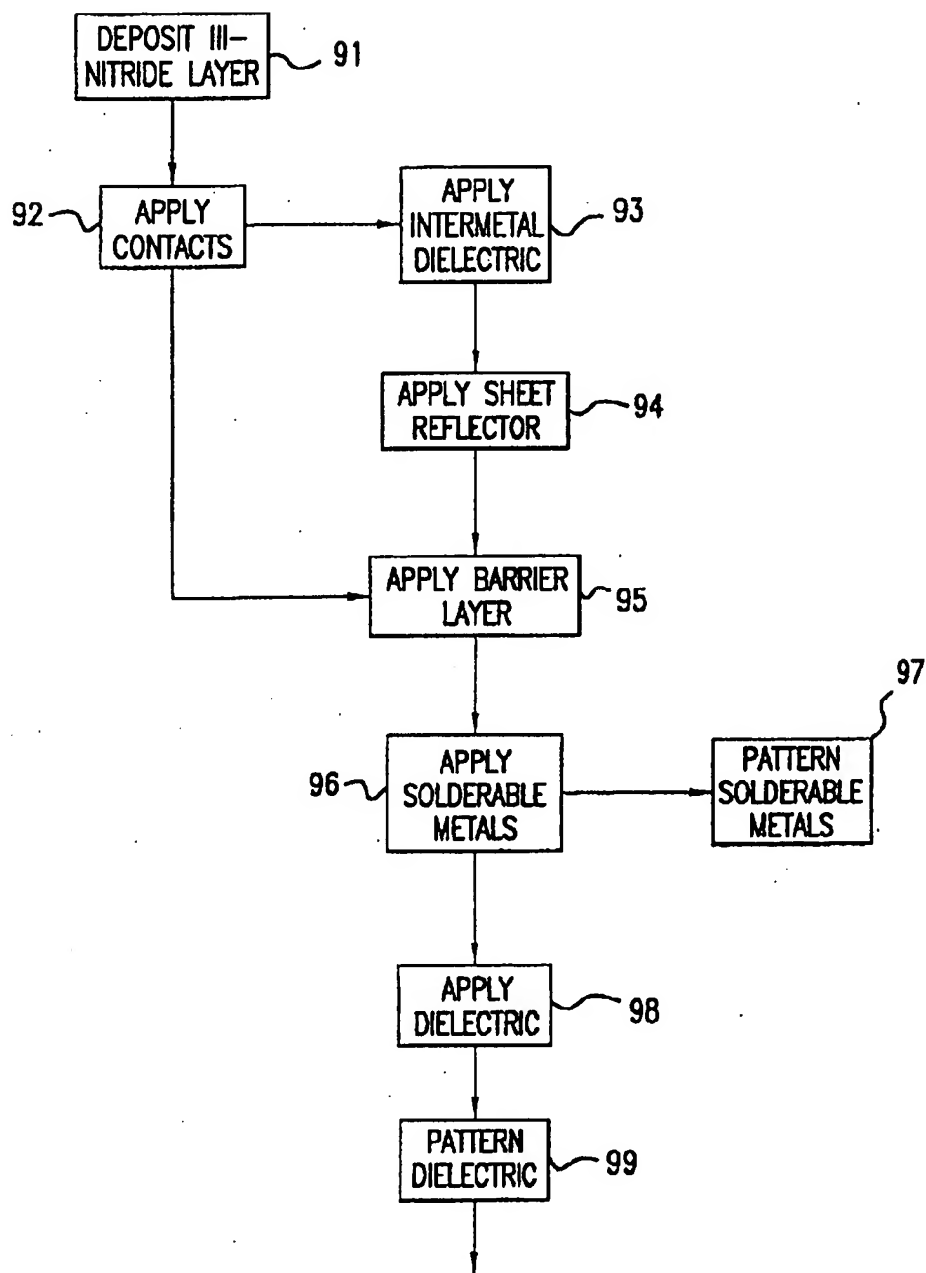


FIG.19

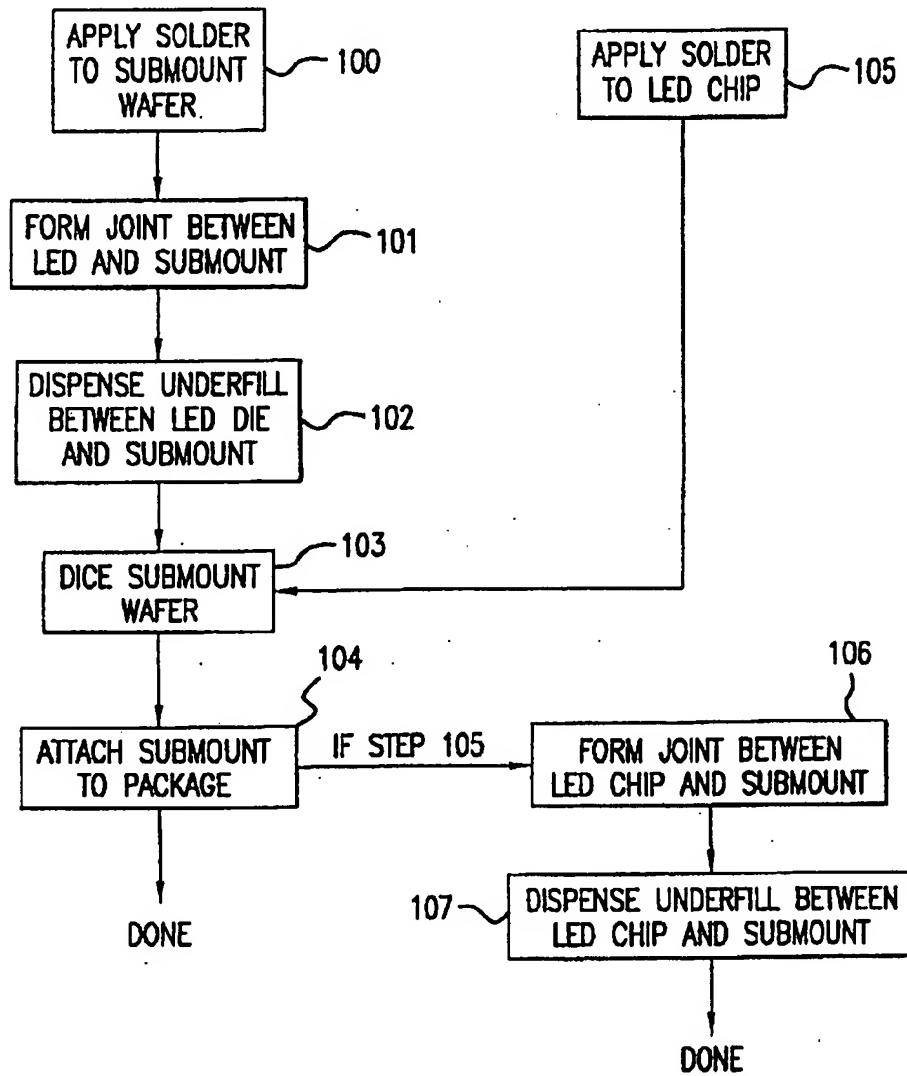


FIG.20

ABSTRACT

The present invention is an inverted III-nitride light-emitting device (LED) with enhanced total light generating capability. A large area device has an n-electrode that interposes the p-electrode metallization to provide low series resistance. The p-electrode metallization is opaque, highly reflective, and provides excellent current spreading. The p-electrode at the peak emission wavelength of the LED active region absorbs less than 25% of incident light per pass. A submount may be used to provide electrical and thermal connection between the LED die and the package. The submount material may be Si to provide electronic functionality such as voltage-compliance limiting operation. The entire device, including the LED-submount interface, is designed for low thermal resistance to allow for high current density operation. Finally, the device may include a high-refractive-index ($n > 1.8$) superstrate.